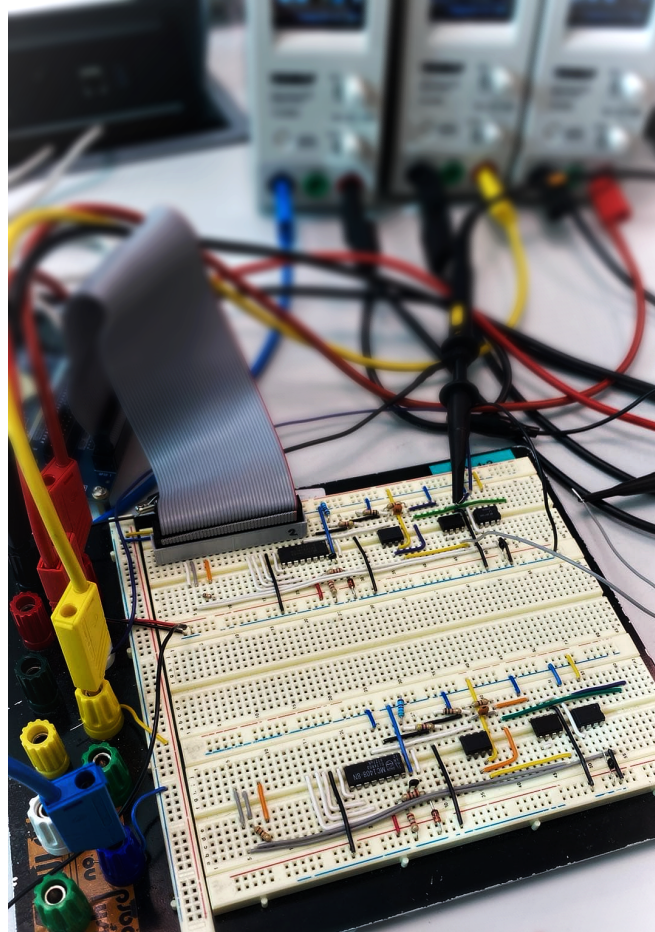




CHALMERS



# Utveckling och optimering av moderna AD-omvandlare

- en studie av prestanda och energieffektivitet

Examensarbete inom högskoleingenjörsprogrammet Mekatronik

MARCUS FUNDERUD OCH JOHN JOHANSSON

**INSTITUTIONEN FÖR ELEKTROTEKNIK**

CHALMERS TEKNISKA HÖGSKOLA

Göteborg 2025

[www.chalmers.se](http://www.chalmers.se)



EXAMENSARBETE 2025

# Utveckling och optimering av moderna AD-omvandlare

- en studie av prestanda och energieffektivitet

MARCUS FUNDERUD OCH JOHN JOHANSSON



**CHALMERS**

Institutionen för Elektroteknik  
CHALMERS TEKNISKA HÖGSKOLA  
Göteborg 2025

Utveckling och optimering av moderna AD-omvandlare  
- en studie av prestanda och energieffektivitet  
MARCUS FUNDERUD OCH JOHN JOHNSON

© MARCUS FUNDERUD OCH JOHN JOHNSON, 2025.

Handledare: Elina Amani, Institutionen för Elektroteknik  
Examinator: Thomas Eriksson, Institutionen för Elektroteknik

Examensarbete 2025  
Institutionen för Elektroteknik  
Chalmers Tekniska Högskola  
SE-412 96 Göteborg  
Telefon +46 31 772 1000

Omslagsbild: En beskrivning av bilden som är lagd på framsidan.

Skriven i L<sup>A</sup>T<sub>E</sub>X  
Göteborg 2025

# Förord

Detta examensarbete har genomförts av Marcus Funderud och John Johnsson vid Institutionen för elektroteknik på Chalmers under våren 2025. Arbetet handlar om konstruktion och analys av AD-omvandlare, med fokus på både SAR- och Sigma-Delta-arkitekturer.

Stort tack till Elina Amani för handledning under arbetets gång. Även tack till Thomas Eriksson i rollen som examinator. Ett speciellt tack riktas också till Rikard Karlsson för stöd i labbet och för värdefulla diskussioner.

Marcus Funderud & John Johnsson, Göteborg, Maj 2025



Utveckling och optimering av moderna AD-omvandlare  
- en studie av prestanda och energieffektivitet  
MARCUS FUNDERUD OCH JOHN JOHNSON  
Institutionen för Elektroteknik

## Sammanfattning

Analog-till-digital-omvandlare (ADC:er) är centrala i moderna elektroniska system, men deras prestanda begränsas ofta av faktorer såsom energieffektivitet och noggrannhet. Detta examensarbete undersöker de främsta prestandabegränsningarna hos ADC:er och utmaningarna med olika ADC-arkitekturer. Metodiken innefattar konstruktion och test av flera ADC-kretsar för att jämföra hur olika arkitekturer presterar under varierande förhållanden. Arbetet har inneburit konstruktion och testning av olika ADC-arkitekturer för att jämföra deras prestanda under varierande förhållanden. Genom praktiska experiment och mätningar analyserades hur effekterna av olika samplingsfrekvenser och variationer i designval påverkar systemets totala prestanda. Studien visar att samplingsfrekvensen är en kritisk faktor i ADC:ns prestanda och att möjligheter att inkorporera digitala tekniker för att förbättra prestandan är således möjliga. Trots att en fördjupad analys med högkvalitativa komponenter ej var möjlig inom tidsramen för arbetet så vissa aspekter endast behandlades teoretiskt, har arbetet tydligt belyst styrkor och svagheter hos olika ADC-arkitekturer. Vidare studier kan genomföras med dessa högkvalitativa komponenter samt längre testperioder för att kunna dra mer djupgående slutsatser. Arbetet bidrar till förståelsen för ADC:ers uppbyggnad och begränsningar samt ger vägledning för framtida utveckling.

Nyckelord: Signalomvandling, ADC, SAR, Successive Approximation, Sigma-Delta, Elektroniska system, Energieffektivitet, Prestandabegränsningar.



Utveckling och optimering av moderna AD-omvandlare  
- en studie av prestanda och energieffektivitet  
MARCUS FUNDERUD OCH JOHN JOHANSSON  
Institutionen för Elektroteknik  
Chalmers Tekniska Högskola

## Abstract

Analog-to-digital converters (ADCs) play a central roll in modern electronic systems. However, the system's performance is often limited by factors such as energy efficiency and accuracy. This thesis investigates key performance limitations and challenges connected to ADCs. The methodology involves designing and testing several ADC circuits and comparing the different performances of architectures under varying conditions. The work has been carried out through designs and tests of various ADC circuits. Through practical experiments and measurements, the effects of different sampling frequencies and variations in design choices were analysed in the affect of the system's overall performance. The study concludeds sampling frequency being a critical factor in ADC performance and methods to incorporate digital techniques to improve performance are possible. An in depth analysis using high-quality components was limited due to time constraints, hence certain aspects could only be addressed theoretically. Despite these limitations, the work highlighted the strengths and weaknesses of various ADC architectures. Further reseach can be done using high-quality components and longer test periods more in depth conclusions. The thesis contributes to a better understanding of ADC structure and limitations, as well as providing guidance for future studies.

Keywords: Signal conversion, ADC, SAR, Successive Approximation, Sigma-Delta, Electronic systems, Energy efficiency, Performance limitations.



# Terminologi och förkortningar

Nedan listas relevanta förkortningar och begrepp samt korta förklaringar där, så anses nödvändigt, i bokstavsordning:

ADC	Analog-to-Digital Converter, en krets som omvandlar en kontinuerlig analog signal till en diskret digital signal.
ALU	Arithmetic Logic Unit, en enhet som utför matematiska och logiska operationer.
ASIC	Application-Specific Integrated Circuit, digital krets programmerad för en specifik uppgift.
Breadboard	En kopplingsplatta som används för att snabbt bygga och testa elektroniska kretsar utan att behöva löda.
CPU	Central Processing Unit, en processor i t.ex. en dator, som styr och hanterar beräkningar och instruktioner.
CSV	Comma-separated values, filtyp som lagrar tabelldata med komma-separerade värden. Möjliggör lagring av stora datamängder och är kompatibelt med en mängd olika program såsom Excel och MATLAB.
Cutoff-frekvens	Gränsfrekvens, den frekvens där ett filter börjar dämpa signalen amplitud markant.
Duty cycle	Duty cycle definieras som den procentuella andelen av pulslängd i förhållande till hela periodtiden för vågformen.
FPGA	Field Programmable Gate Array, en programmerbar digital krets för logiska funktioner.
FT232RL	En krets som omvandlar seriell TTL till USB.
Kvantisering	Ett steg i analog-till digital-konvertering där ett kontinuerligt värde omvandlas till ett diskret värde.
MCU	Microcontroller Unit, en krets med CPU, minne och in-/utgångar.
MSE	Mean Squared Error, ett mått på hur mycket en uppmätt signal i genomsnitt skiljer sig ifrån en referenssignal. Felet räknas ut punkt för punkt, kvadreras och medelvärdet tas. Detta ger en siffra som visar den genomsnittliga avvikelsen. Ju lägre MSE, desto bättre överensstämmelse.
NMSE	Normalized Mean Squared Error, en normaliserad variant av MSE där felet delas med referenssignalens energi. Detta gör måttet oberoende av amplitud och mer jämförbar mellan olika signaler. Ett värde nära 0 innebär mycket bra överensstämmelse.

---

OSR	Over Sampling Ratio, översamplingsfaktor.
PCB	Printed circuit board.
PLL	Phase-Locked Loop, ett elektronisk krets som genererar en utgångssignal vars fas är fixerad i förhållande till faser på ingångssignalen. På så sätt kan till exempel en frekvens genereras som är en multipel av en stabil referensfrekvens.
PWM	Pulse Width Modulation.
Sample-and-hold	En krets som samplar spänningen hos en kontinuerlig (analog) signal och håller dess värde på samma nivå över en bestämd tidsperiod.
SAR	Successive Approximation Register, en ADC som successivt jämför och bestämmer en digital representation av det analoga värdet.
Sigma-Delta	En ADC som summerar skillnaden mellan signal och referens för att närma sig en digital representation av det analoga värdet.
TTL	Transistor-Transistor Logic, en standard för logiknivåer som kan användas vid kommunikation mellan digitala kretsar, t.ex. FPGA.
UART	Universal Asynchronous Receiver/Transmitter, ett seriellt protokoll för att skicka och ta emot data mellan två enheter, t.ex. en FPGA och en dator utan gemensam klocksignal.
VHDL	VHSIC Hardware Description Language, ett hårdvarubeskrivningsspråk för att programmera digitala kretsar.
VHSIC	Very High Speed Integrated Circuit, benämning på kretsar med mycket hög hastighet.





# Innehåll

<b>Terminologi</b>	<b>xi</b>
<b>1 Inledning</b>	<b>1</b>
1.1 Bakgrund . . . . .	1
1.2 Syfte . . . . .	1
1.3 Avgränsningar . . . . .	1
1.4 Mål . . . . .	2
1.4.1 Projektets delmål . . . . .	2
1.5 Precisering av frågeställningen . . . . .	3
1.5.1 Projektets frågeställningar . . . . .	3
<b>2 Teknisk bakgrund</b>	<b>5</b>
2.1 Hårdvara . . . . .	5
2.1.1 FPGA (Intel DE0-CV) . . . . .	5
2.1.2 FT232RL . . . . .	5
2.1.3 Komponenter . . . . .	5
2.1.3.1 TL071 . . . . .	6
2.1.3.2 LM311 . . . . .	6
2.1.3.3 LF398 . . . . .	6
2.1.3.4 SN74HC74 . . . . .	6
2.1.4 Labbutrustning . . . . .	6
2.1.4.1 Rohde&Schwarz RTB2004 . . . . .	6
2.1.4.2 Rohde&Schwarz HMF2525 . . . . .	6
2.1.4.3 TENMA 728345A . . . . .	7
2.2 Mjukvara . . . . .	7
2.2.1 Intel Questa . . . . .	7
2.2.2 Quartus Prime . . . . .	7
2.2.3 MATLAB . . . . .	7
2.2.4 LTSpice . . . . .	7
2.2.5 Tera Term . . . . .	7
2.2.6 KiCad . . . . .	8
2.3 Teorier . . . . .	8
2.3.1 ADC . . . . .	8
2.3.1.1 SAR . . . . .	8
2.3.1.2 Sigma-Delta . . . . .	9
2.3.2 Sampling och Nyquist-teoremet . . . . .	10

2.4	Formler . . . . .	12
<b>3</b>	<b>Metod</b>	<b>15</b>
3.1	Litteraturstudie . . . . .	15
3.2	Dataöverföring mellan FPGA och MATLAB . . . . .	15
3.3	Konstruktion av SAR-ADC . . . . .	15
3.4	Digitalisering av kretselement . . . . .	16
3.5	Konstruktion av Sigma-Delta-ADC . . . . .	16
3.6	Analys och jämförelse av ADC . . . . .	16
3.7	Utforska vidare optimering . . . . .	16
<b>4</b>	<b>Genomförande av litteraturstudie</b>	<b>17</b>
<b>5</b>	<b>Strategi för bearbetning och analys av mätdata</b>	<b>19</b>
<b>6</b>	<b>ADC med SAR-arkitektur</b>	<b>21</b>
6.1	Konstruktion av kretsen . . . . .	21
6.2	Digitalisering av SAR-ADC:n . . . . .	23
6.2.1	Sample-and-hold . . . . .	23
6.2.2	Komparator . . . . .	23
6.2.3	PWM . . . . .	24
<b>7</b>	<b>ADC med Sigma-Delta-arkitektur</b>	<b>27</b>
7.1	Framtagande av kretsar . . . . .	27
7.2	Kvantisering . . . . .	28
7.2.1	Asynkron kvantisering . . . . .	28
7.2.2	Synkron kvantisering . . . . .	28
<b>8</b>	<b>Resultat</b>	<b>33</b>
8.1	SAR-arkitektur . . . . .	33
8.1.1	SAR med DAC0808 . . . . .	33
8.1.2	SAR utan sample-and-hold . . . . .	38
8.1.3	SAR med PWM . . . . .	39
8.2	Sigma-Delta . . . . .	42
8.2.1	Sigma-Delta med D-vippa . . . . .	42
8.2.2	Sigma-Delta med komparator . . . . .	44
<b>9</b>	<b>Analys</b>	<b>47</b>
9.1	Analys av SAR-arkitekturer . . . . .	47
9.1.1	SAR-arkitektur med DAC . . . . .	47
9.1.2	SAR-arkitektur utan sample-and-hold-krets . . . . .	48
9.1.3	SAR-arkitektur med PWM . . . . .	49
9.1.4	Felsökning och djupanalys . . . . .	50
9.2	Analys av Sigma-Delta-arkitekturer . . . . .	51
9.2.1	Sigma-Delta med D-vippa . . . . .	51
9.2.2	Sigma-Delta med komparator . . . . .	52
<b>10</b>	<b>Diskussion</b>	<b>53</b>

---

10.1 Reflektion över projektet och dess resultat . . . . .	53
10.2 Verifiering av projektets frågeställningar . . . . .	55
10.3 Att gå vidare med . . . . .	56
<b>Referenser</b>	<b>57</b>
<b>A Bilagor</b>	<b>I</b>
Bilaga 1: Kretsschema SAR-ADC med DAC . . . . .	II
Bilaga 2: Kretsschema SAR-ADC med PWM . . . . .	III
Bilaga 3: Kretsschema Sigma-Delta-ADC med komparator . . . . .	IV
Bilaga 4: Kretsschema Sigma-Delta-ADC med D-vippa . . . . .	V
Bilaga 5: Sammanställd mätdata för de testade kretsarna . . . . .	VI



# 1

## Inledning

Denna uppsats undersöker hur olika ADC-arkitekturer kan jämföras och optimeras med avseende på prestanda och energieffektivitet. Arbetet fokuserar särskilt på SAR- och Sigma-Delta-arkitekturer samt deras digitala implementation i FPGA. Arbetet är utfört vid Chalmers tekniska högskola, Institutionen för elektroteknik.

### 1.1 Bakgrund

Elektroniska komponenter spelar en avgörande roll i moderna system, men de kan ofta vara långsamma och energikrävande. ADC:er är en central del i många system och återfinns i allt från medicinsk utrustning och telekommunikation till autonoma fordon och smarta sensorer. Med en ständig utveckling mot mer avancerade system ökar kraven på högpresterande ADC:er och genom att undersöka och optimera dessa kretsar kan vi förbättra systemens prestanda.

### 1.2 Syfte

Syftet med detta examensarbete är att undersöka och optimera ADC-kretsar, jämföra olika typer och utforska möjligheterna att digitalisera delar av kretsarnas segment, där målet är att hitta innovativa lösningar för att optimera ADC:ns prestanda i termer av snabbhet, noggrannhet och energieffektivitet vilket kan ha ett markant inflytande på moderna tekniska system.

### 1.3 Avgränsningar

Projektet kommer att genomföras av två personer på halvfart tidsperioden 2025-01-20 till 2025-06-09. Arbetet utförs i huvudsak med befintlig utrustning i labbmiljön, val av komponenter och verktyg begränsas i största mån till det som finns tillgängligt i labbet.

Vid implementation och mätningar används en FPGA med vissa begränsningar i kommunikation och anslutningsmöjligheter, vilket påverkar datainsamling och överföring.

Oscilloskopet som används i projektet saknar vissa licensierade funktioner för digital

dataöverföring, vilket begränsar möjligheten att exportera mätdata direkt till dator för vidare analys. Detta innebär att viss datainsamling behövs ske manuellt eller via alternativa metoder, vilket potentiellt kan påverka noggrannhet och effektivitet i vissa delar av verifieringsarbetet.

Som insignal för projektet användes en signal på 3.3 Vpp för att matcha FPGA:ns utsignal, detta för att minska användandet av onödig signalkorrigerings och i förlängningen, minska risken för påverkan av mätningarna till följd av denna. Vid begränsning av en enda amplitud på signalen minskar resultatets bredd.

Med anledning av de begränsningar som nämnts kring komponentval, tillgänglig hårdvara (såsom FPGA) och projektets tid, finns inte förutsättningarna att identifiera den optimala ADC-lösningen. Arbetet fokuserar i stället på en mer övergripande jämförelse mellan olika arkitekturer med avseende på noggrannhet, snabbhet och energieffektivitet, samt möjliga lösningar för att optimera dessa. För ADC-delen användes första ordningens Sigma-Delta-arkitektur för att begränsa komplexiteten.

Valet av filter är avgränsat till standardtopologier, såsom Sallen-Key och FIR.

Prototypen konstrueras på ett kopplingsdäck, tillverkning av kretskort (PCB) täcks inte inom projektets ramar.

## 1.4 Mål

Målet med projektet är att konstruera, jämföra och analysera ADC-arkitekturer för att få en djupare insikt i deras snabbhet, noggrannhet och energieffektivitet. Projektet fokuserar på två olika arkitekturer, SAR och Sigma-Delta, samt digitala implementationer i FPGA. Vidare är målsättningen att bidra med ökad förståelse kring hur egenskaperna korrelerar med valet av arkitektur.

### 1.4.1 Projektets delmål

1. Genomföra litteraturstudier för att skapa teoretisk förståelse för olika ADC-arkitekturer.
2. Undersöka olika dataöverföringsmetoder mellan FPGA och MATLAB.
3. Konstruera och testa SAR-baserad ADC med analoga och digitala delar.
4. Utforska möjligheten att digitalisera delar av SAR-ADC vilket leder till minskad energiförbrukning.
5. Konstruera två olika typer av ADC:er baserade på Sigma-Delta-arkitektur.
6. Jämföra ADC-kretsarna med avseende på noggrannhet, snabbhet och energiförbrukning vid olika frekvenser.
7. Undersöka nya ADC-arkitekturer som hittills endast är teoretiskt beskrivna.

## 1.5 Precisering av frågeställningen

Studiens innehåller ett antal frågeställningar med utgångspunkt i de tidigare angivna delmålen.

### 1.5.1 Projektets frågeställningar

- Vilka alternativ finns för realtidskommunikation med en FPGA som saknar inbyggt stöd för Ethernet och UART över USB?
- Hur viktig är sample-and-hold-kretsen för SAR-ADC:ns funktion och noggrannhet?
- Är det möjligt att digitalisera komparatorn i en SAR-ADC utan att förlora tillförlitlighet?
- Kan en DAC i en SAR-ADC ersättas med PWM för att minska energiförbrukningen utan att tappa noggrannhet?
- Hur skiljer sig synkrona och asynkrona Sigma-Delta-ADC:er åt vad gäller prestanda och energieffektivitet?
- Hur kan nya typer av ADC:er bidra till att optimera energiförbrukningen i analoga till digitala omvandlare?



# 2

## Teknisk bakgrund

För att kunna bygga och testa de digitala och analoga funktioner som projektet kräver har olika laborationsinstrument, mjukvaruprogram och hårdvarukomponenter använts. I detta avsnitt redogörs för den utrustning som varit central i arbetet. Syftet är att ge en tydlig bild av vilka resurser som använts samt vilken funktion de fyller i projektet.

### 2.1 Hårdvara

I detta avsnitt beskrivs den hårdvara som använts under projektet.

#### 2.1.1 FPGA (Intel DE0-CV)

En FPGA (Field Programmable Gate Array) är en typ av digital krets som kan programmeras för att utföra olika logiska funktioner. Till skillnad från en CPU eller MCU, som har en fast intern arkitektur och exekverar instruktioner sekventiellt, en ALU som utför fördefinierade matematiska och logiska operationer, eller en ASIC som är specialanpassad för en specifik uppgift, består en FPGA av programmerbara logiska block och kopplingar som av användaren kan konfigureras för att bygga upp den digitala hårdvara och funktion som efterfrågas i det specifika fallet [1].

#### 2.1.2 FT232RL

FT232RL är ett chip som används för att omvandla seriell-TTL till USB. FT232RL används för att ansluta enheter som saknar inbyggt USB-stöd genom att omvandla seriell data (till exempel TTL med logiknivåer 0 och 3.3 V eller 0 och 5 V) till en enhet med USB-stöd, till exempel en dator [2].

#### 2.1.3 Komponenter

Nedan beskrivs de komponenter som, utöver resistorer och kondensatorer, använts under projektet.

### 2.1.3.1 TL071

TL071 är en lågbrusig operationsförstärkare. TL071 är av FET-input-typ, vilket ger hög ingångsimpedans och låg strömförbrukning och gör den lämplig att mäta och förstärka känsliga analoga signaler utan att påverka dem. TL071 har lågt offset och hög slew rate vilket gör den lämplig för förstärkning av svaga signaler med krav på hög noggrannhet men också applikationer där snabbhet efterfrågas [3].

### 2.1.3.2 LM311

LM311 är en differenskomparator som jämför två ingångsspänningar, till exempel en analog signal med en referensspänning, och ger en digital utsignal baserat på jämförelsen (låg respektive hög), beroende på om signalens spänning är högre eller lägre än referensspänningen [4].

### 2.1.3.3 LF398

LF398 är en integrerad sample-and-hold-krets som använder en kombination av FET och bipolära transistorer, s.k. BI-FET-teknik. Detta ger den mycket hög noggrannhet, snabb signalavkänning och bra förmåga att hålla kvar spänningen stabilt över tid. Vid aktiv styrsignal samplas den analoga ingångssignalen, varefter kretsen, vid inaktiv styrsignal håller kvar det samplade värdet på utgången tills nästa sampling sker [5].

### 2.1.3.4 SN74HC74

SN74HC74 är en positiv flank-triggad D-vippa från Texas Instruments. Kretsen innehåller två D-vippor med asynkrona presets och clear-ingångar. Vid varje klockpuls överförs värdet på insignalen till utgången förutsatt att preset och clear är inaktiva, det vill säga höga. Detta resulterar i att utsignalen bara uppdateras synkront med klockpulsen och däremellan behåller den sitt värde [6].

Gränsvärden för logiknivåer:

Logisk låg (VIL): Högst 0,99 V (30 % av VCC)

Logisk hög (VIH): Minst 2,31 V (70 % av VCC)

## 2.1.4 Labbutrustning

### 2.1.4.1 Rohde&Schwarz RTB2004

Rohde&Schwarz RTB2004 är ett digitalt oscilloskop som används för analys och felsökning av analoga kretsar. RTB2004 har fyra kanaler, en bandbredd upp till 300 MHz samt en maximal samplingshastighet på 2,5 GS/s [7].

### 2.1.4.2 Rohde&Schwarz HMF2525

Rohde&Schwarz HMF2525 är en funktions- och vågformsgenerator som används för att konstruera signaler under testning och analys av analoga och digitala kretsar.

Genom att generera en sinussignal, fyrkantsvåg, ramp eller puls med HMF2525 kan kretsens respons analyseras och utvärderas [8].

#### **2.1.4.3 TENMA 728345A**

TENMA 728345A är ett nätaggregat avsett för laboratoriemiljö som används för strömförsörjning och test av elektroniska kretsar då en stabil och noggrann spänningskälla krävs [9].

## **2.2 Mjukvara**

I detta stycke presenteras den mjukvara som använts under projektet.

### **2.2.1 Intel Questa**

Intel Questa är en mjukvara för att programmera och simulera digitala kretsar såsom FPGA och ASIC. I Questa ges användaren, utöver att programmera VHDL och Verilog, möjligheten att genom simulering kontrollera funktionalitet och prestanda innan kretsen går till tillverkning [10].

### **2.2.2 Quartus Prime**

Quartus Prime är ett utvecklingsverktyg från Intel som används för att designa och programmera FPGA:er. Genom att kompilarer VHDL- och Verilog-filer och skapar bitfiler som kan laddas in i FPGA:n kan dess funktion definieras [11].

### **2.2.3 MATLAB**

MATLAB är en kraftfull programvara som används för tekniska och matematiska beräkningar, simulering samt dataanalys inom bland annat teknik, forskning och finans. Med hjälp av enkel kod och tydlig syntax kan avancerade beräkningar utföras och data analyseras samt visualiseras med grafer, diagram och animationer [12].

### **2.2.4 LTSpice**

LTSpice är en mjukvarusimulator för elektriska kretsar. Med LTSpice kan användaren rita upp en krets och under simulering mäta strömmar och spänningar och kontrollera stabilitet och prestanda. Genom att modellera kretsen i LTSpice kan arbetsflödet effektiviseras då fel eller svagheter i designen kan identifieras innan kretsen realiseras fysiskt [13].

### **2.2.5 Tera Term**

Tera Term är ett terminalprogram för seriell kommunikation mellan dator och externa enheter, såsom mikrokontroller eller FPGA. Med Tera Term kan användaren övervaka, ta emot eller skicka data exempelvis via UART, vilket möjliggör felsökning

och validering av kommunikation i realtid. Genom att använda Tera Term under utvecklingsarbetet kan dataöverföringen valideras, så att den fungerar korrekt, vilket underlättar både testning och felsökning av systemets digitala gränssnitt [14].

### 2.2.6 KiCad

KiCad är en mjukvara för konstruktion av elektroniska kretsar och mönsterkort. Med KiCad kan användaren rita scheman, skapa kopplingslistor och designa kretskortslayouter [15].

## 2.3 Teorier

I detta avsnitt beskrivs de teorier och tekniker som ligger till grund för projektet.

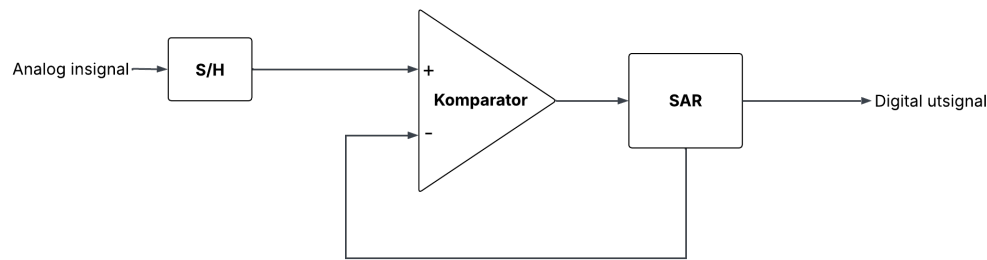
### 2.3.1 ADC

Analog signal är kontinuerliga signaler som representerar storheter i den verkliga världen, såsom längd, vikt, hastighet, spänning, ström, magnetiskt flöde och radiovågor. Dessa storheter kan anta vilket värde som helst inom ett visst intervall och kan mätas med sensorer som ger en kontinuerligt varierande signal. För att dessa signaler ska kunna bearbetas eller processas av ett digitalt system, såsom en dator eller mikrokontroller, måste signaler först digitaliseras. En ADC, analog-to-digital converter, är en krets som konverterar analoga kontinuerliga signaler till samplade diskreta signaler. Det finns många olika typer av ADC:er, alla med styrkor och svagheter när det kommer till bland annat snabbhet, noggrannhet, komplexitet, energieffektivitet. Gemensamt för alla ADC:er är att de omvandlar en analog signal till en digital signal genom att först sampla den ingående signalen vid vissa tidpunkter och efter det kvantisera det samplade värdet till närmaste digitala steg. Upplösningen på ADC:n är beroende av hur många bitar som används för att representera ett visst värde. En 8-bitars ADC, till exempel, motsvarar en uppdelning i  $2^8 = 256$  intervall, upplösningen blir således  $1/256 = 0,4 \%$  [16].

#### 2.3.1.1 SAR

Den grundläggande principen för SAR-baserad ADC innebär att den analoga insignalens spänning jämförs iterativt med en referensspänning. Vid varje steg i omvandlingsprocessen uppdateras den digitala representationen av signalen genom att successivt närma sig det rätta värdet, en bit i taget. För att varje jämförelse ska bli korrekt hålls insignalen konstant under hela omvandlingscykeln. När det digitala värdet har tagits fram kan det vidare bearbetas, lagras eller överföras till externa system för analys [17].

En enkel översikt av en 8-bitars SAR-ADC visas i figur 2.1, där den analoga insignalen leds genom en sample and hold-krets till en komparator där den hållna insignalen jämförs med SAR:ens successiva approximation.

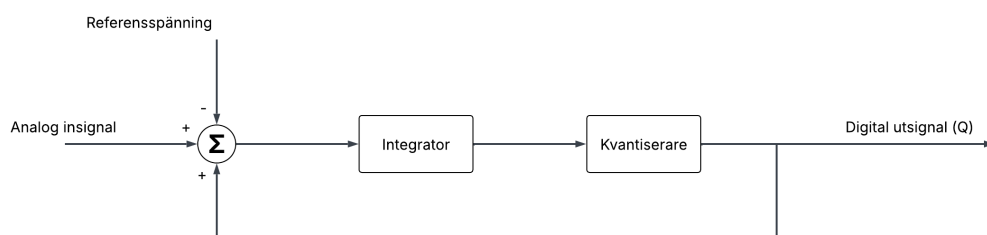


**Figur 2.1:** Figuren visar en enkel översikt av en 8-bitars SAR-ADC.

SAR-ADC:n har flera fördelar, till exempel snabb konverteringstid och låg effektförbrukning, vilket gör den väl lämpad för höghastighets- och batteridrivna applikationer. Den uppnår god noggrannhet vid låg till medelhög upplösning, men begränsas av ökat kvantiseringsbrus och linjäritetsavvikelser vid högre upplösningar. Dess prestanda kan även påverkas negativt av störningar och variationer i referensspänningen.

### 2.3.1.2 Sigma-Delta

Den grundläggande principen för en Sigma-Delta-baserad ADC bygger på att den analoga insignalen kontinuerligt jämförs med en återkopplad version av den tidigare kvantiserade signalen. I stället för att direkt bestämma det digitala värdet används en översamplad 1-bitars kvantisering i kombination med negativ återkoppling för att minska felet mellan insignalen och en återskapad signal. Genom att integrera detta fel över tid skapas ett digitalt mönster där densiteten av ettor och nollor representerar signalens amplitud. Resultatet kan därefter bearbetas, lagras eller överföras till externa system för analys [18].

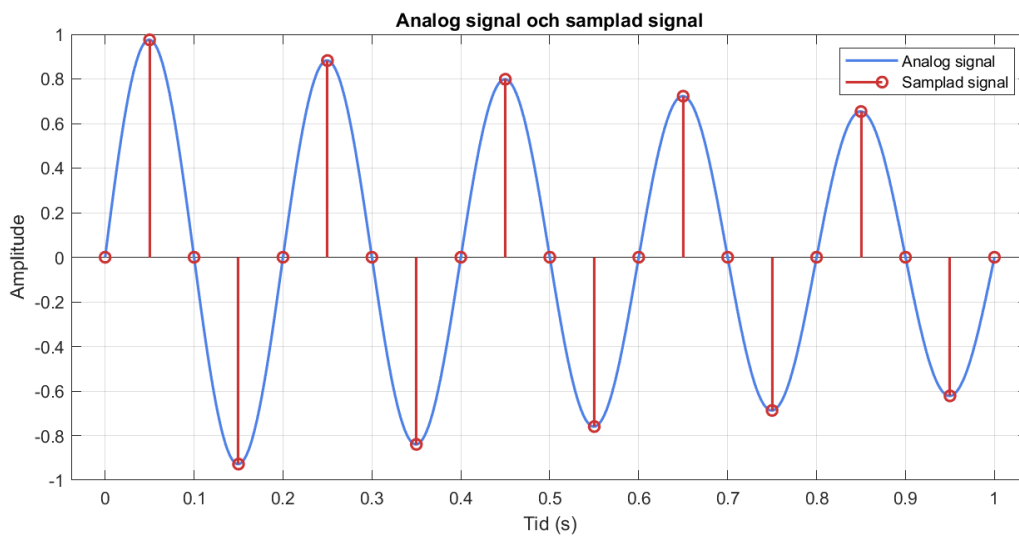


**Figur 2.2:** Figuren visar en enkel översikt av en första ordningens 1-bitars Sigma-Delta-ADC.

Sigma-Delta-ADC:ns fördelar är bland annat mycket hög upplösning och god brusprestanda. Tack vare översampling och brusformning kan den effektivt fördela kvantiseringsbruset till högre frekvenser, vilket möjliggör noggrann filtrering. Nackdelar inkluderar högre latens, lägre bandbredd samt ökad komplexitet i både hårdvara och efterföljande digital filtrering, vilket gör den mindre lämplig för höghastighetsapplikationer.

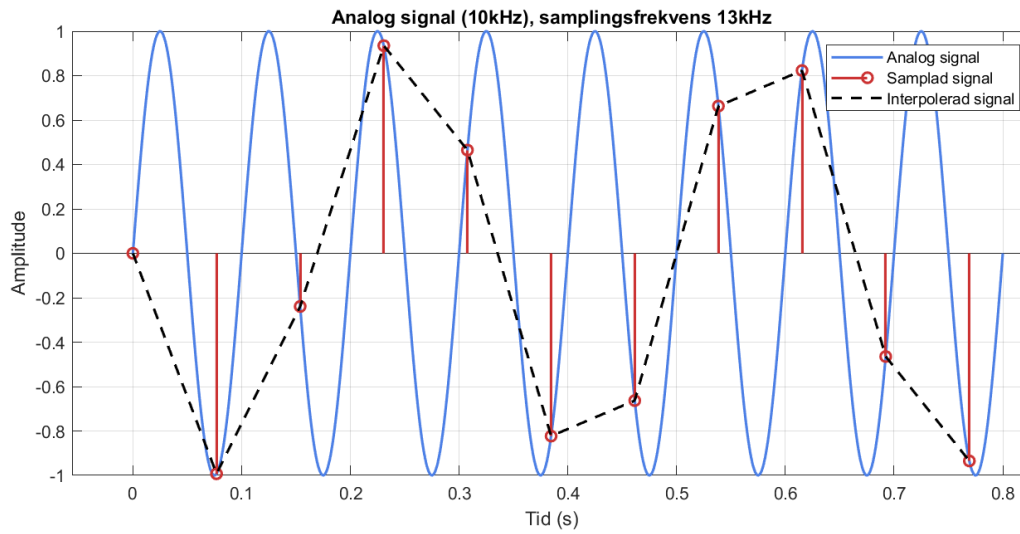
### 2.3.2 Sampling och Nyquist-teoremet

För att digitalisera en analog signal tas en mängd stickprover (samples) av signalen med jämna tidsintervall. Dessa samples används sedan för den digitala representationen av den analoga signalen [19]. Se figur 2.3



**Figur 2.3:** Figuren visar en signal som samplas två gånger per period.

Den frekvens, med vilken insignalen samplas, är avgörande för noggrannheten i den digitala representationen. Den lägsta frekvens som en signal kan samplas med för att säkra en korrekt representation beskrivs i Nyquist-teoremet.  $f_s > 2 \cdot f_{max}$ , där  $f_s$  är samplingsfrekvensen och  $f_{max}$  är signalens högsta frekvens. Om detta kriterium inte uppfylls är risken stor att den återskapade signalen drabbas av aliasing – ett fenomen där högre frekvenser felaktigt tolkas som lägre, vilket förvränger signalen, se figur 2.4.



**Figur 2.4:** Figuren visar en signal som samplas där inte Nyquist-teoremet uppfylls. Detta resulterar i en feltolkad signal.

## 2.4 Formler

### Förklaring av symboler och förkortningar

Symbol	Beskrivning
$s(t)$	Insignal (analog spänning som funktion av tiden)
$V_{\text{ref}}$	Referensspänning
$I_s(t)$	Ström från insignalen
$Q(t)$	Kvantiserad signal
$I_Q$	Feedbackström
$I_{\text{in}}$	Total ström in till integratorn
$I_C$	Ström till integrator genom kondensator
$e(t)$	Integratorns utgångsspänning (acumilerat fel)
$f_c$	Brytfrekvens
$R$	Generellt motstånd
$C$	Generell kapacitans
$f_{\text{sig,max}}$	Maximal signalbandbredd
OSR	Oversampling Ratio (översamlingsfaktor)
$f_{\text{CLK}}$	Klockfrekvens
$f_{\text{pwm}}$	PWM-signalens frekvens
$f_{\text{pwm,clk}}$	PWM-klockfrekvens
$N$	Upplösning i antal bitar
$T_s$	Samplingsperiod
$T_{\text{pwm}}$	Period för en komplett PWM-signal
$f_s$	Samplingsfrekvens

**Tabell 2.1:** Förklaring av symboler som används i formelavsnitten.

### Sigma-Delta – Integration och OSR

Där symboler som  $R_1$  och referensspänningen  $V_{\text{ref}}$  motsvarar komponenter i de schematiska diagrammen i Bilaga 3 och 4.

#### Strömmen in från insignalen

$$I_s(t) = \frac{s(t) - V_{\text{ref}}}{R_1} \quad (2.1)$$

**Strömmen in från feedback**

$$I_Q = \frac{Q(t) - V_{\text{ref}}}{R_2}, \quad Q(t) \in \{0, V_{\text{ref}}\} \quad (2.2)$$

$$I_{\text{in}} + I_Q + I_C = 0 \quad (2.3)$$

$$I_C = C_1 \cdot \frac{d}{dt}[e(t) - V_{\text{ref}}] \quad (2.4)$$

**Integratorns brytfrekvens**

$$f_c = \frac{1}{2\pi RC} \quad (2.5)$$

**Signalbandbredd**

$$f_{\text{sig,max}} \lesssim \frac{f_c}{5} \quad (2.6)$$

**Översamplingsfaktor (OSR)**

$$\text{OSR} = \frac{f_{\text{CLK}}}{2f_{\text{sig,max}}} \quad (2.7)$$

**SAR – PWM****Samband mellan PWM-klockfrekvens och signalfrekvens**

$$f_{\text{pwm, clk}} = 2^N \cdot f_{\text{pwm}} \quad (2.8)$$

**Samplingstid**

$$T_s = \frac{1}{f_s} \quad (2.9)$$

**Fullständig PWM-period**

$$T_{\text{pwm}} = \frac{2^N}{f_{\text{pwm, clk}}} \quad (2.10)$$



# 3

## Metod

Initialt delades arbetet upp i 7 delmål för att ge struktur åt projektet då detta till följd av dess forskningsnatur inledningsvis uppfattades som omfattande och abstrakt. Dessa delmål skapade ett logiskt och strukturerat arbetsflöde genom projektet.

### 3.1 Litteraturstudie

Arbetet inleddes med en litteraturstudie där fokus låg på olika typer av ADC-kretsar. Framför allt inriktades studien mot första ordningens Sigma-Delta men även andra ordningens Sigma-Delta, SAR, PWM samt Leapfrog undersöktes. Syftet med litteraturstudien var i första hand att bygga upp en teoretisk förståelse för de olika typer av kretsar som projektet skulle kunna komma att beröra, och i andra hand även för att kunna utesluta de typer av ADC-kretsar som inte platsade inom projektets ramar till följd av onödig komplexitet eller otillräcklig dokumentation.

### 3.2 Dataöverföring mellan FPGA och MATLAB

I nästa steg utforskades möjligheter att inhämta data från FPGA och respektive krets samt överföra denna data till MATLAB. Olika typer av dataöverföringar studerades; möjligheten att realtidsströmma data från oscilloskop till MATLAB, nedladdning av data till CSV-filer samt överföring av data direkt från FPGA via seriell kommunikation (UART) med TTL-nivåer, genom en FT232RL USB-till-seriell-omvandlare.

### 3.3 Konstruktion av SAR-ADC

Efter litteraturstudien och utvärderingen av dataöverföringsmetoder övergick arbetet mer åt praktiskt arbete. En grundläggande ADC-krets baserad på SAR-teknik konstruerades på breadboard. En FPGA programmerades för att hantera SAR-logiken samt parallell-to-seriell-konverteringen, i övrigt användes analoga komponenter för DA-omvandling, spänningsjämförelse med mera.

## 3.4 Digitalisering av kretselement

I nästa steg utforskades möjligheterna att digitalisera delar av kretsen genom att implementera fler funktioner i FPGA med målet att minska effektförbrukningen. I samband med detta analyserades parametrar som snabbhet, energiförbrukning och noggrannhet.

## 3.5 Konstruktion av Sigma-Delta-ADC

Två första ordningens Sigma-Delta-ADC-kretsar konstruerades med hjälp av en integrator och en kvantiserare. I det första fallet användes en komparator för kvantiseringen, i andra fallet användes en D-vippa som kvantiserare. I båda fallen användes en FPGA för att konvertera pulståget från kvantiseraren till en bitström, som sedan skickades som TTL-signaler till MATLAB. I det senare fallet användes FPGA:n även för att skapa en klockpuls till D-vippan.

## 3.6 Analys och jämförelse av ADC

De tre kretsarna testades och jämfördes med avseende på snabbhet, energiförbrukning och noggrannhet. Samtliga kretsar testades vid ett antal olika frekvenser varvid strömförbrukning mättes och visuell granskning av den digitala representationen genomfördes. Anteckningar fördes och mätdata sparades ner till CSV-filer för djupare analys. Efter slutförda mätningar analyserades mätdata i MATLAB där MSE och NMSE uppmättes för att tydligt ge en indikation på noggrannheten samt för att tillhandahålla ett gemensamt mått som möjliggör jämförelse.

## 3.7 Utforska vidare optimering

I sista steget skulle möjligheterna för ytterligare optimering av Sigma-Delta-kretsen undersökas, till exempel multi-input ADC. På grund av tidsbrist i slutet av projektet genomfördes detta steg inte.

# 4

## Genomförande av litteraturstudie

Projektet inleddes med en litteraturstudie för att skapa den förståelse som krävdes för att kunna genomföra arbetet. Då ämnet inledningsvis uppfattades som tekniskt komplext och den initiala kunskapsnivån var begränsad var första steget att identifiera och sätta sig in i grundläggande begrepp och metoder. Valet av litteratur baserades därför främst på bredd snarare än selektivitet och all tillgänglig litteratur som påträffades, såväl akademiska artiklar tekniska rapporter, datablad samt diskussionsforum användes.

Fokus låg på att förstå principen bakom Sigma-Delta-konvertering vilken initialt uppfattades som avancerad och svåröverskådlig på grund av den mängd olika konfigurationer som beskrivs i litteraturen, inklusive första, andra, tredje och högre ordningar, olika typer av kvantiserare samt andra skillnader i arkitekturen. I samråd med examinator begränsades projektet till att enbart omfatta Sigma-Delta-konfigurationer av första ordningen, då både projektets tidsram var begränsad och de potentiella fördelarna med en ADC av högre ordning inte ansågs väga upp den ökade komplexitet en sådan lösning skulle innebära. Metoder som andra ordningens implementationer och Leapfrog-strukturer identifierades som tekniskt intressanta men bedömdes som omotiverat komplexa eller otillräckligt dokumenterade. SAR-arkitekturen valdes bort under litteraturstudien då det redan fanns en grundläggande förståelse för dess funktion, vilket gav möjlighet att fokusera mer på Sigma-Delta-arkitekturen.

För att kunna återskapa signaler efter A/D-omvandlingen krävdes filtrering, men valet av lämpligt filter var initialt oklart. Efter litteraturstudier och diskussioner med handledare samt examinator framstod digitala filter som det mest ändamålsenliga alternativet. Huvudfokus lades därför på vanliga filtertyper FIR och IIR vilka båda implementerades och utvärderades i MATLAB-miljön.

Trots användningen av ett analogt filter i verifieringssyfte lades projektets fokus främst på digitala filterlösningar, eftersom dessa bättre stämmer överens med syftet att digitalisera och optimera ADC:n med avseende på snabbhet, noggrannhet och energieffektivitet. Analysen av återställda signaler inkluderade även användning av mean square error som metod för att kvantitativt jämföra filterprestanda varvid även dessa metoder studerades. Dokumentation och manualer till mätutrustningen studerades initialt för att finna lämpliga funktioner och överföringsmetoder av data och användes senare löpande under verifieringsmomenten för att säkerställa korrekta

#### 4. Genomförande av litteraturstudie

---

mätmetoder och tolkningar.

De insikter som förvärvades under litteraturstudien låg sedan till grund för projektets designval och implementationsstrategier, vilket återkommer i både metod och resultatkapitlen.

# 5

## Strategi för bearbetning och analys av mätdata

För att möjliggöra analys av kretsarnas ut signaler skapades en metod för att överföra mätdata från hårdvaran till MATLAB. Det initiala målet var att etablera en realtidsanslutning mellan oscilloskopets (RTB2004) USB-enhetsport och MATLAB. Trots att oscilloskopet erbjuder stöd för detta genom Rohde&Schwarz egna drivrutiner och mjukvarupaket visade det sig att dessa verktyg inte fanns installerade på oscilloskopen i labbmiljön.

Som alternativ valdes därför att exportera mätdata i CSV-format till ett USB-minne, vilket sedan importerades till MATLAB för vidare analys. Denna metod var enkel att använda vid mätning och analys av rena signaler men visade sig något begränsad som överföringsmetod av SAR-kretsens UART-kommunikation. Då oscilloskopets samplingshastighet är hög (2,5 GS/s) och detta inte ville göras avkall på, innehöll filerna ett stort antal mätpunkter. Vid inläsning i MATLAB var det därför tvunget att i det specifika fallet reducera antalet duplicerade mätpunkter för att få tydliga dataord med start- respektive stop-bitar. Trots upprepade försök att implementera en robust och pålitlig metod för att återskapa den seriella kommunikationen observerades distorsion på den rekonstruerade ursprungliga signalen. Brus, dubletter eller andra felaktiga samplingspunkter undersöktes men någon entydig anledning till detta kunde inte bekräftas, varvid andra sätt att läsa UART-signalen behövde implementeras.

En stabil metod för kommunikation mellan FPGA och MATLAB var således nödvändig både för att kunna läsa ADC-kretsarnas digitala output och för att förbättra insynen i systemens digitala signalflöden. Inledningsvis fanns en förhoppning att kunna kommunicera direkt via USB-porten på FPGA:n men då den FPGA som används i projektet enbart har en USB-blaster-port för programmering och inte kommunikation var detta inte en möjlighet.

Lösningen blev att via seriell kommunikation (UART) med hjälp av en FT232RL USB-till-TTL-omvandlare skicka data från FPGA:n. Inledningsvis användes Tera Term för att bekräfta kommunikationens funktion. VHDL-kod programmerades för att skicka förbestämda dataord och på så sätt kunde kommunikationen verifieras. Efter detta implementerades funktioner i VHDL-koden för att skicka specifika datasekvenser baserat på användarinput för att kunna mäta responstid och eventuella

felaktiga dataord till följd av abrupt växling. Viss felsökning och omprogrammering krävdes men efter upprättad kontakt kunde de digitala dataflödena visualiseras i realtid. Slutligen pressades systemet genom att stegvis öka baudraten för att hitta den övre gränsen för kommunikationshastigheten, men då systemet felfritt hantlade 921600 baud, vilket var maxhastighet i Tera Term, migrerades överföringen till MATLAB där en skraddarsydd mottagarkod läste in och tolkade bitströmmen. Fördelen med detta tillvägagångssätt var att undvika felaktigheter från oscilloskopet samt få direkt visuell återkoppling utan att behöva mellanliggande analoga komponenter som exempelvis lågpasfilter som potentiellt påverkar resultatet.

Innan en stabil UART-kommunikationsmetod för samtliga kretsar upprättats byggdes en separat receiver-krets för att läsa den digitaliserade signalen från SAR-kretsen via dess seriella kommunikation. Denna krets fyllde sitt syfte under tiden som en mer avancerad kommunikationsmetod saknades. När kommunikationsmetoden baserad på FT232RL testats och verifierats ersatte denna receiver-kretsen då den nya metoden visade på bättre prestanda och noggrannhet och dessutom var en lösning som var kompatibel med samtliga kretsar.

Parallellt med arbetet undersöktes metoder för att få en stabil UART-kommunikation för att tillgå fler sätt att enkelt återskapa den digitaliserade signalen. Ett Sallen-Key-filter skapades för att rekonstruera bitströmmen från Sigma-Delta-kretsens kvantiserare, på så sätt fanns en metod att under arbetets gång bekräfta att signalen i stora drag såg ut som förväntat. För mätningar och jämförelser användes dock digitala filter konstruerade i MATLAB för att minska påverkan från analog distorsion och valet av komponentvärden.

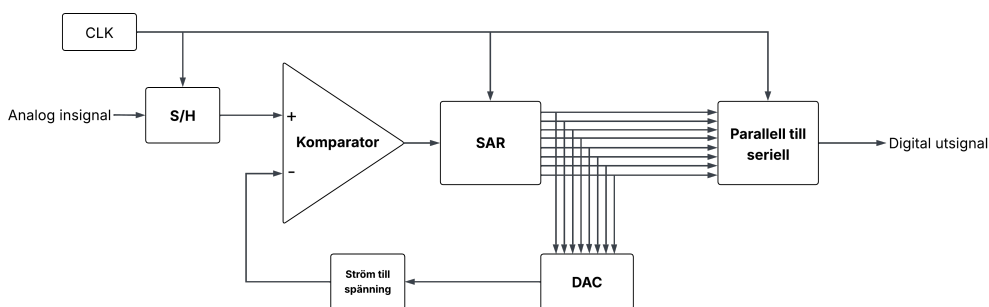
# 6

## ADC med SAR-arkitektur

I detta kapitel beskrivs hur en SAR-ADC konstruerades, testades och modifierades.

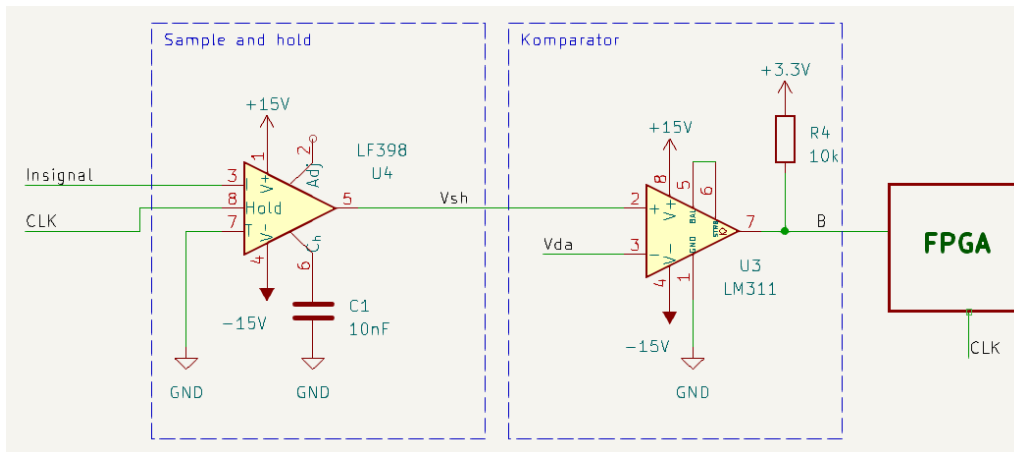
### 6.1 Konstruktion av kretsen

Med hjälp av en FPGA och ett breadboard konstruerades en ADC-krets baserad på SAR-arkitektur, se figur 6.1. VHDL-kod programmerades för att hantera den successiva approximationen, parallell-till-seriell konvertering samt klock- och trig-signalerna för synkning av processens olika delar.



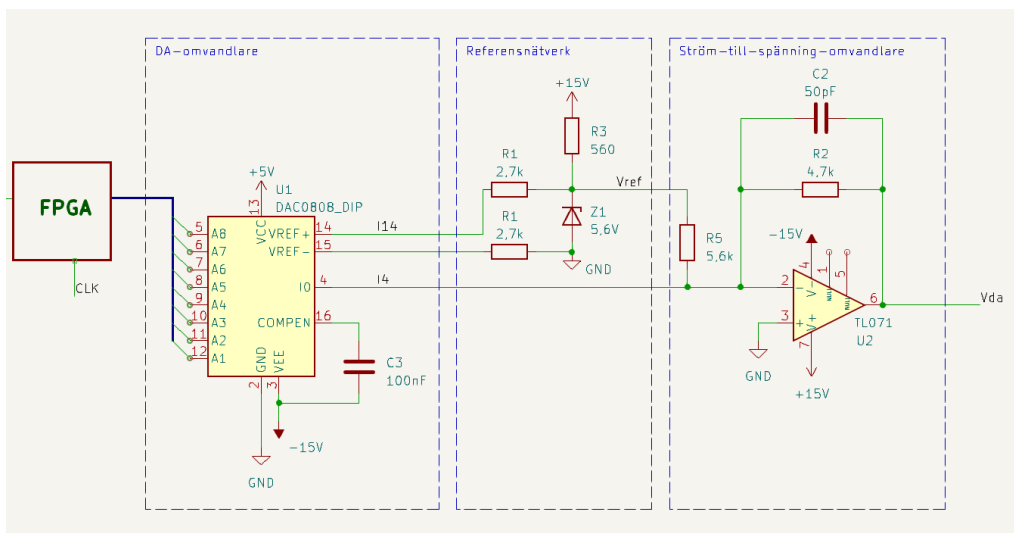
**Figur 6.1:** Figuren visar en enkel översikt av en 8-bitars SAR-ADC med DAC.

Den ingående signalen leds till LF398, en sample-and-hold-krets, som håller signalen konstant under 10 cykler, medan FPGA:n genomför den successiva approximationen. Signalen leds sedan vidare till en komparator, LM311, som jämför den samplade insignalen med FPGA:ns approximation, se figur 6.2. Från den analoga kretsen får FPGA:n en hög eller låg signal beroende på om jämförelsen  $insignal > approximation$  är sann eller falsk. Vid hög signal ökas FPGA:ns approximation och vid låg signal minskas den successivt i åtta steg tills ett närmevärde nåtts.



**Figur 6.2:** Schematisk kopplingsbild i KiCad av den implementerade SAR-ADC:ns sample and hold-krets samt komparator, där  $V_{sh}$  är spänningen efter sample and hold-kretsen och  $V_{da}$  är spänningen efter DA-omvandlingen.

FPGA:ns approximation skickas från FPGA:n som booleska värden på en 8-bitars digital buss,  $Q[7:0]$ , som uppdateras stegvis, bit för bit, av SAR-logiken i VHDL-koden. Dessa värden omvandlas i den analoga kretsen av en DA-omvandlare, DAC0808, till en ström, se figur 6.3. Då insignalen är satt att ligga inom intervallet  $\pm 5$  V måste denna ström omvandlas till en bipolär spänning som varierar symmetriskt kring 0 V. En operationsförstärkare, TL071, bildar tillsammans med en resistor en ström-till-spänning-omvandlare, medan en kondensator stabiliserar signalen och fungerar som brusfilter. Tre resistorer och en Zenerdiod bildar ett referensnätverk som skapar en stabil referensspänning ( $V_{ref}$ ).



**Figur 6.3:** Schematisk kopplingsbild i KiCad av den implementerade SAR-ADC:ns kretsar för DA-omvandling, där  $V_{ref}$  är referensspänningen och  $V_{da}$  är spänningen efter DA-omvandlingen.

Slutligen överförs det digitala resultatet från FPGA:n till en dator via UART-

kommunikation där en FT232RL används för att översätta TTL-nivåerna till ett format som MATLAB kan bearbeta och analysera.

## 6.2 Digitalisering av SAR-ADC:n

För att öka energieffektiviteten hos SAR-ADC:n undersöktes möjligheten att digitalisera delar av de analoga kretsarna. Förhoppningarna var att färre analoga kretsar skulle reducera energiförbrukningen. Genom att ersätta eller helt avlägsna en analog krets i taget och sedan mäta och jämföra resultaten, kunde påverkan på energieffektivitet och prestanda utvärderas.

### 6.2.1 Sample-and-hold

För att undersöka vikten av sample-and-hold-steget i en SAR-ADC testades kretsen både med och utan komponenten LF398. Under testningen gjordes en mängd mätningar på olika frekvenser med LF398 ansluten. Efter det avlägsnades LF398 och samma mätningar utfördes varefter resultaten jämfördes i MATLAB.

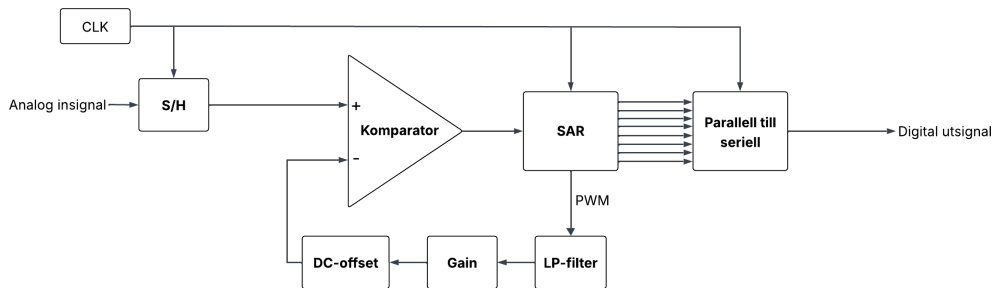
Vid lägre insignalfrekvenser upp till cirka 4 kHz visade sig omvandlingen fungera relativt väl även utan sample-and-hold. Men vid högre frekvenser uppstod tydliga avvikelser, särskilt i form av instabil amplitud och ökade variationer i utsignalen. Utan sample-and-hold varierade insignalens nivå tydligt under omvandlingsförloppet, vilket gav en hackig och instabil utsignal. Med sample-and-hold-steget implementerat hölls signalen däremot konstant under hela SAR-cykeln, vilket resulterade i en mer stabil och periodisk utsignal, även vid högre frekvenser. Detta bekräftar den teoretiska förväntningen att sample-and-hold är mindre nödvändig vid låga frekvenser men blir avgörande när insignalen förändras märkbart under tiden det tar att genomföra en SAR-konvertering.

### 6.2.2 Komparator

I det inledande försöket att digitalisera delar av SAR-arkitekturen undersöktes möjligheten att ersätta den analoga komparatorn med en digital ingång på FPGA-kortet. Intentionen var att FPGA:ns logiknivå skulle användas för att avgöra om insignalen låg över eller under ett fast referensvärde, i praktiken som en enkel tröskelkomparator. Denna metod fungerar endast för jämförelser mot ett enda fixerat tröskelvärde, bestämt av FPGA:ns konfiguration. I en SAR-ADC krävs en serie successiva jämförelser mot en varierande referensnivå, som genereras dynamiskt av en DA-omvandlare. Då FPGA:ns digitala ingång inte har möjlighet att utföra kontinuerliga analoga jämförelser mot ett variabelt referensvärde, kan den inte direkt ersätta en analog komparator i en SAR-ADC. En analog komparator, som exempelvis LM311, krävs för att med hög precision och låg fördröjning avgöra om insignalen är större eller mindre än DAC:ens aktuella utspänning under varje steg i SAR-processen.

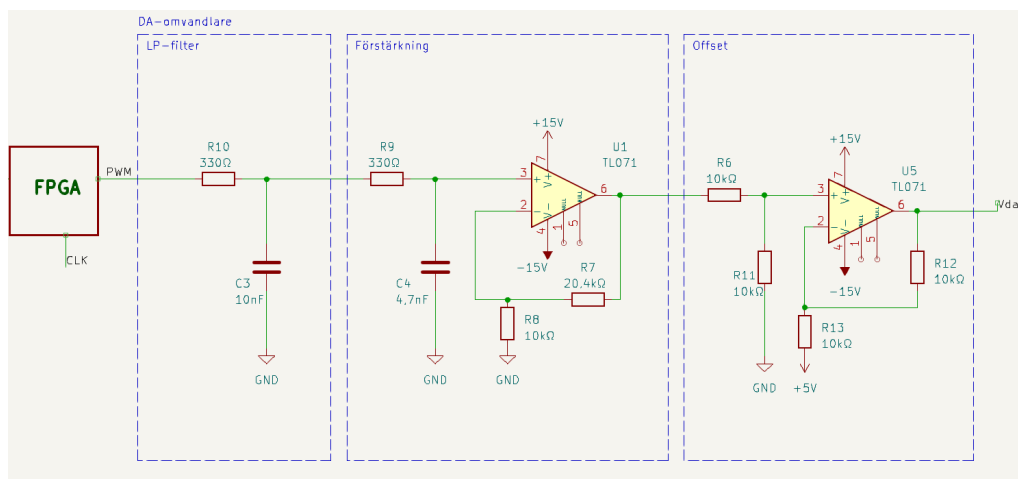
### 6.2.3 PWM

För att öka energieffektiviteten hos SAR-kretsen var det önskvärt att undersöka möjligheterna att ersätta DAC0808 som i denna konfiguration har en maximal effektförbrukning på cirka 0,3 W. Genom att ersätta DA-omvandlingen med en PWM från FPGA:n samt ett enkelt lågpasfilter, se figur 6.4, förväntades effektförbrukningen reduceras kraftigt.



**Figur 6.4:** Figuren visar en enkel översikt av en 8-bitars SAR-ADC med PWM.

I VHDL-koden ersattes koden som skickar FPGA:ns approximation på en 8-bitars digital buss, Q[7:0], och i stället skickas approximationen som en PWM-signal. I nästa steg filtreras PWM-signalen av ett analogt lågpasfilter som genererar en analog spänning vars amplitud är direkt beroende av PWM-signalens duty cycle, se figur 6.5.

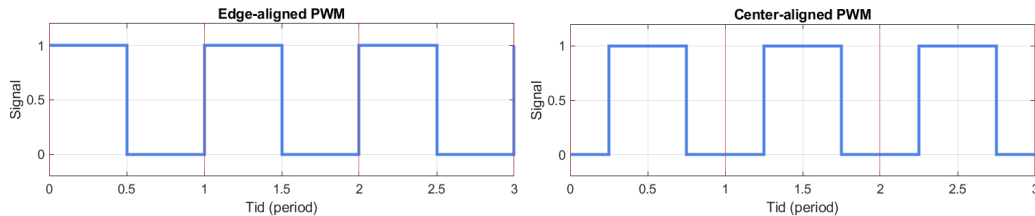


**Figur 6.5:** Schematisk kopplingsbild i KiCad av den implementerade SAR-ADC:ns kretsar för DA-omvandling, där PWM är den digitala signalen från FPGA:n och Vda är spänningen efter DA-omvandlingen.

För att säkerställa att PWM-signalen får rätt omfång och offset, används två operationsförstärkare (TL071) i en skalnings- och offsetkonfiguration, som i första steget förstärker signalen (0-3.3 V) till 0-10 V och därefter förskjuter signalen till önskat

omfång,  $\pm 5$  V. Slutligen används denna spänning som referensspänning till komparatorn.

Osäkerhet uppstod kring huruvida det hade betydelse om PWM-signalen som producerades var edge- eller center-aligned, se figur 6.6, mer specifikt, om en asymmetriskt placerad PWM-signal skulle resultera i en förskjutning eller distorsion av signalen.



**Figur 6.6:** Asynkron respektive synkron placering av PWM-signalen.

Efter inledande analys av kretsen vid mycket låga frekvenser ( $<1$  kHz) kunde inga tydliga problem påvisas, vilket styrks av flera informella källor som menar att då lågpasfiltret tar ett medelvärde över tid kan skillnaden mellan asymmetrisk och symmetrisk PWM vid låga frekvenser vara försumbar. Vid högre frekvenser förespråkar samma källor dock center-aligned PWM, eftersom dess symmetriskt placerade pulser ger lägre övertoner och därmed en renare signal efter lågpasfiltret, vilket minskar risken för brus. Detta styrks även av vetenskapliga studier [20], vilket tyder på att det vore relevant att undersöka detta vidare vid högre frekvenser.



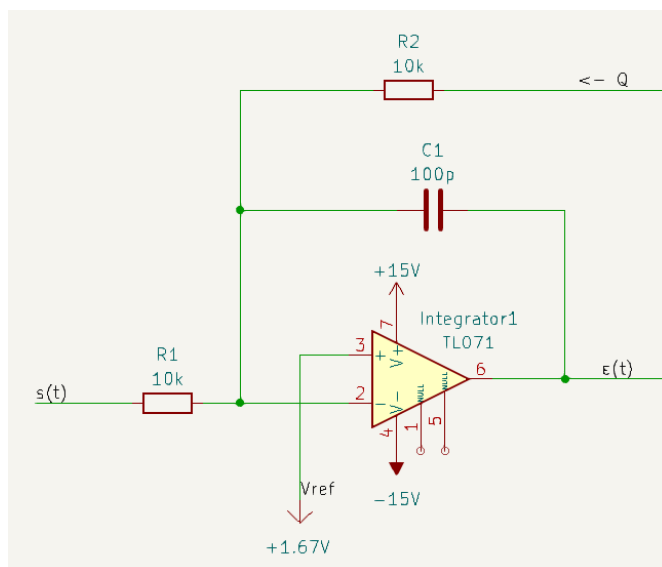
# 7

## ADC med Sigma-Delta-arkitektur

Till skillnad från en SAR-ADC, där signalen extraheras bit för bit, genererar en Sigma-Delta-ADC ett översamplat, högfrekvent en bitarsflöde där pulsdensiteten över tid representerar signalens amplitud. I detta moment konstruerades två ADC-kretsar baserade på Sigma-Delta-teknik. Gemensamt för de båda kretsarna var integratorn, samplingsfrekvens på 1 MHz medans de skiljde sig åt i kvantiseringssteget.

### 7.1 Framtagande av kretsar

Principen bygger på att den analoga insignalen matas genom ett motstånd till en operationsförstärkare (TL071) i integratornkonfiguration, se figur 7.1. Samtidigt matas en återkopplingssignal in via ett annat motstånd. Dessa två strömmar summeras vid integratorns ingång, vilket resulterar i att förstärkaren integrerar differensen mellan insignalen och återkopplingen. Utsignalen ( $\epsilon$ ) skickas till en kvantiserare vars digitala utgång (Q) används som återkoppling till integratorn. Den kvantiserade signalen (Q) skickas även till FPGA:n där den tolkas, paketeras och skickas vidare till en UART för analysering i MATLAB.



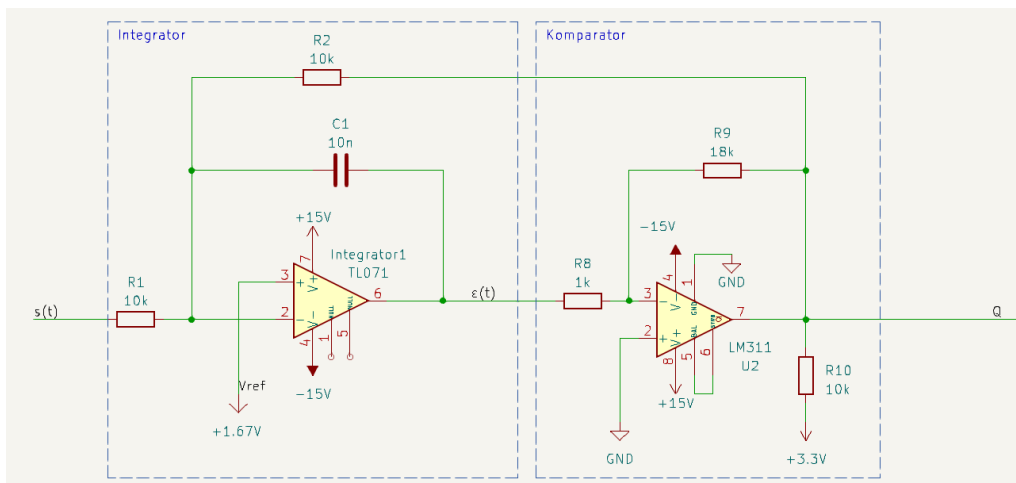
**Figur 7.1:** Operationsförstärkare i integratornkonfiguration, med felet ( $\epsilon$ ) och återkoppling (Q) samt insignalen  $s$ .

## 7.2 Kvantisering

Det bedömdes vara intressant att jämföra skillnaderna i prestanda mellan synkron och asynkron kvantisering i Sigma-Delta-ADC:n. Av denna anledning skapades två likvärdiga Sigma-Delta-kretsar där två olika kvantiseringsmetoder används; asynkron kvantisering med komparator (LM311) respektive synkron kvantisering med D-vippa (SN74HC74N).

### 7.2.1 Asynkron kvantisering

I den första kretsen ansluts det integrerade felet ( $\varepsilon$ ) via ett motstånd till en komparators inverterande ingång där det jämförs med 0 V, se figur 7.2. Vid negativt  $\varepsilon$  blir komparatorns utgång hög (3,3 V) och vid positivt  $\varepsilon$  blir utgången låg (0 V). På så sätt skapas ett asynkront pulståg (Q) som är direkt kopplat till det integrerade felet. Detta pulståg används som återkoppling till integratorn och ansluts, tillsammans med insignalen, till TL071:s inverterande ingång. Eftersom insignalen svänger kring 0 V och pulståget pendlar mellan 0 V och 3,3 V, matas 1,67 V in på TL071:s icke-inverterande ingång för att kompensera för detta.



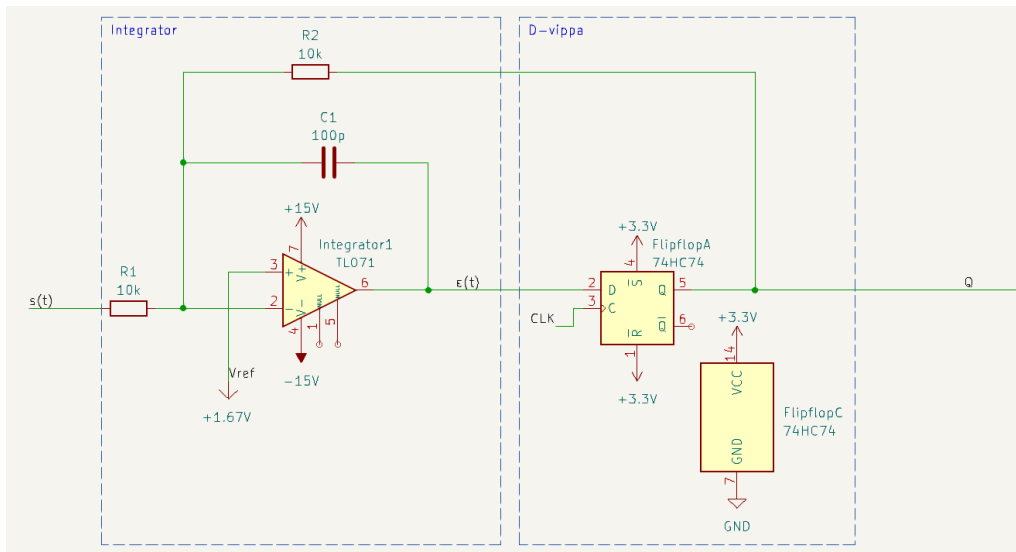
**Figur 7.2:** Schematisk kopplingsbild i KiCad av Sigma-Delta-ADC:n med komparator som asynkron kvantiseringsmetod, med insignalen  $s$ , felet  $\varepsilon$  och den kvantiserade bitströmmen  $Q$ .

Vid testkörning av kretsen uppmärksammades instabilitet och oscillation på komparatorns utgång. Detta kunde kopplas till att  $\varepsilon$  pendlade väldigt nära tröskelvärdet (0 V), därför kopplades ett motstånd mellan utgången på komparatorn och dess inverterande ingång, s.k. hysteres. Detta säkrade en mer stabil tolkning av värdet från komparatorn.

### 7.2.2 Synkron kvantisering

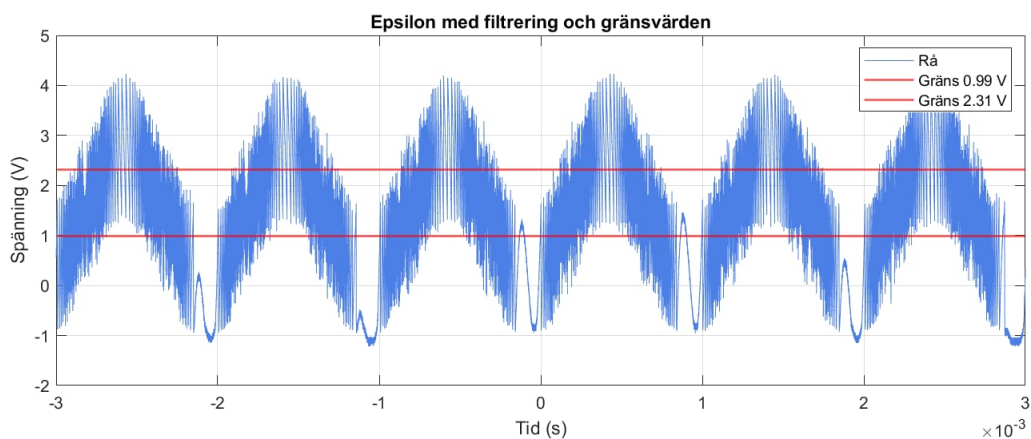
I den andra kretsen ansluts  $\varepsilon$  till D-ingången på en D-vippa (SN74HC74N), se figur 7.3. I FPGA:n genereras en trig-puls på 1 MHz som synkront uppdaterar D-

vippans utgång (Q) med det aktuella D-värdet varvid en bitström med frekvensen 1 MHz skapas. Denna bitström återkopplas till integratorn, tillsammans insignalen, till TL071:s inverterande ingång. Även här matas TL071:s icke-inverterande ingång med 1,67 V för att kompensera att bitströmmen inte, till skillnad från insignalen, pendlar centrerat runt 0 V.



**Figur 7.3:** Schematisk kopplingsbild i KiCad av Sigma-Delta-ADC:n med D-vippa som synkron kvantiseringsmetod, med insignalen  $s$ , felet  $\varepsilon$  och den kvantiserade bitströmmen  $Q$ .

Då D-vippan är en digital krets som tolkar spänningar som logiknivåer och  $\varepsilon$  är en analog signal fanns farhågor om att D-vippan skulle ha svårt att tolka logiknivåerna korrekt. Vid 3,3 V drivspänning har SN74HC74N följande gränsvärden; maximalt 0,99 V för logisk låg nivå och minst 2,31 V för logisk hög nivå. Detta lämnar ett 1,32 V spänningsintervall, ett odefinierat område, där tolkningen av logiknivå är osäker, se figur 7.4. Efter testkörning av kretsen och analys av mätdata kunde inga fel påvisas kopplat till detta. En trolig förklaring är att  $\varepsilon$  rör sig snabbt genom detta område och ofta befinner sig i ett säkert område vid klockpulsen vilket gör att D-vippan oftast tolkar värdet korrekt.



**Figur 7.4:** Intervallet mellan 0,99 V och 2,31 V är odefinierat och tolkningen av korrekt logiknivå osäker.

Om problem skulle identifieras till följd av inkorrekta tolkningar av logiknivåer skulle

detta kunna åtgärdas genom att koppla en komparator innan D-vippan. Dock skulle detta öka energiförbrukningen, vilket projektet strävar efter att minimera.



# 8

## Resultat

Målet är att identifiera vilka komponenter som är mest avgörande för noggrannhet, snabbhet och strömförbrukning, och därmed utvärdera vilka kompromisser som är lämpliga beroende på tillämpning.

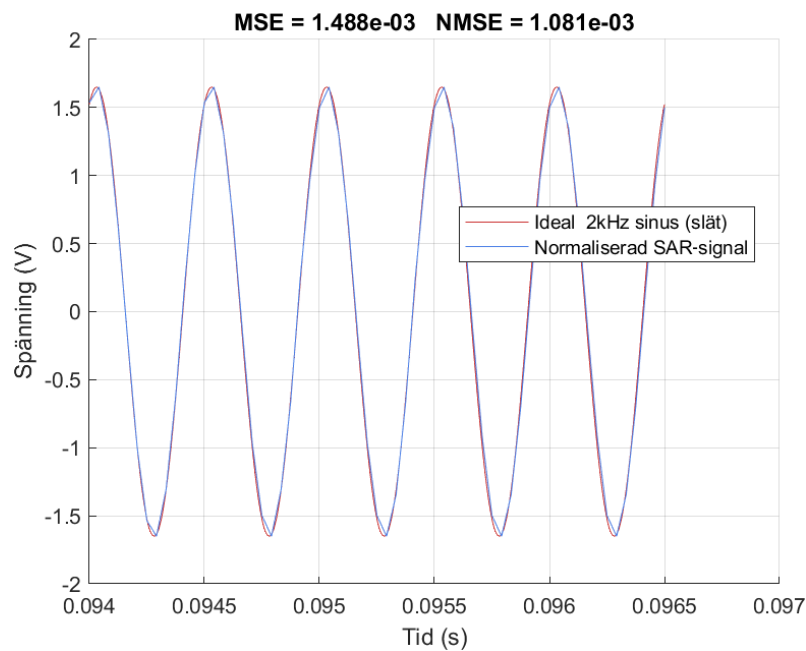
### 8.1 SAR-arkitektur

I detta kapitel presenteras tre olika SAR-ADC implementationer.

#### 8.1.1 SAR med DAC0808

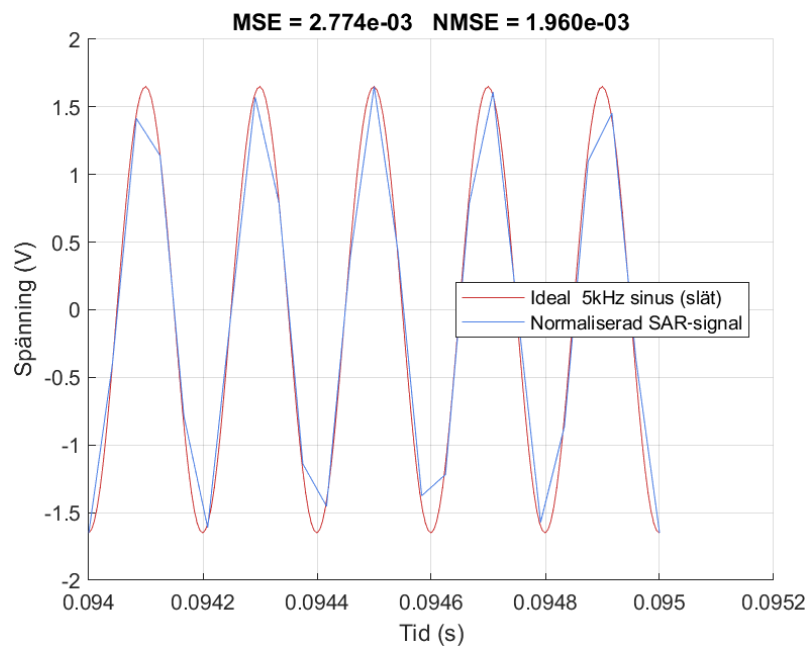
Här presenteras resultat för en 8-bitars ADC med varierande insignalfrekvenser och en samplingsfrekvens på 24 kHz, om inte annat anges.

**2 kHz**



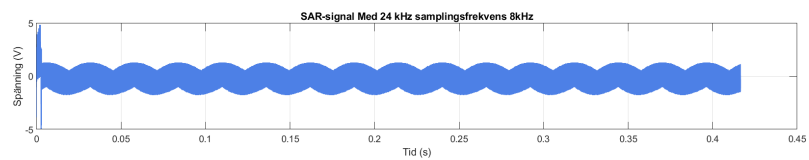
**Figur 8.1:** Utgångssignal från SAR med DAC vid 2 kHz, samplingsfrekvens 24 kHz.

### 5 kHz



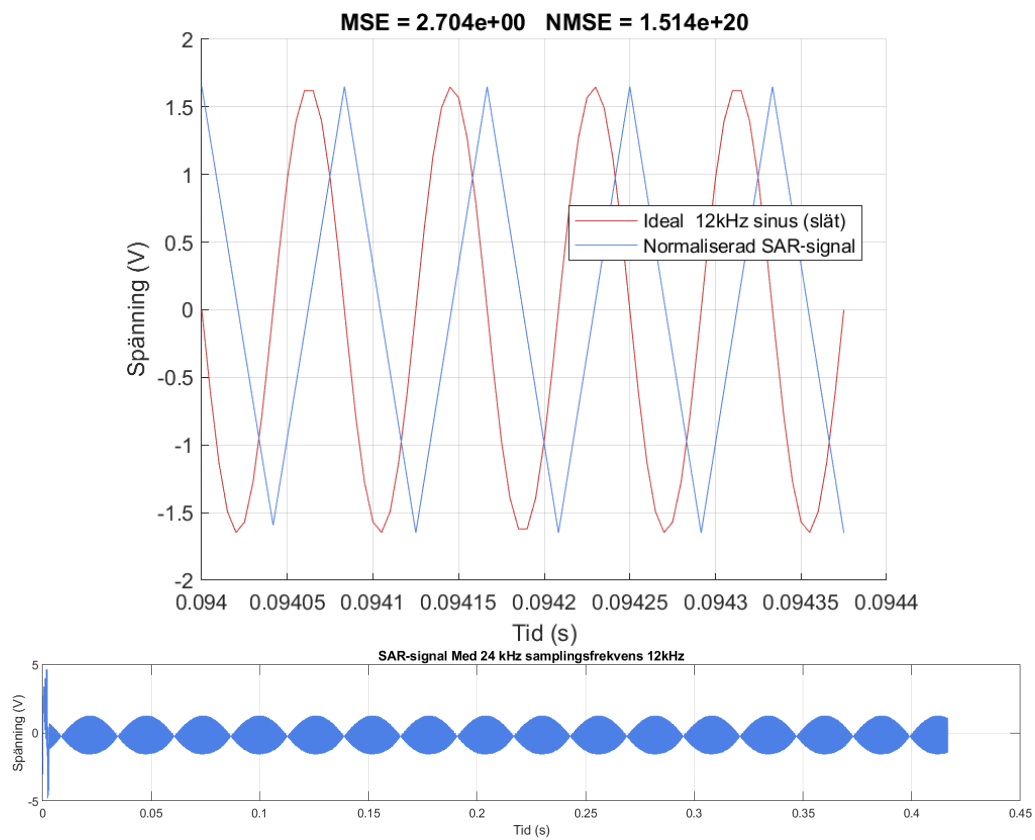
**Figur 8.2:** Utgångssignal från SAR med DAC vid 5 kHz, samplingsfrekvens 24 kHz.

### 8 kHz



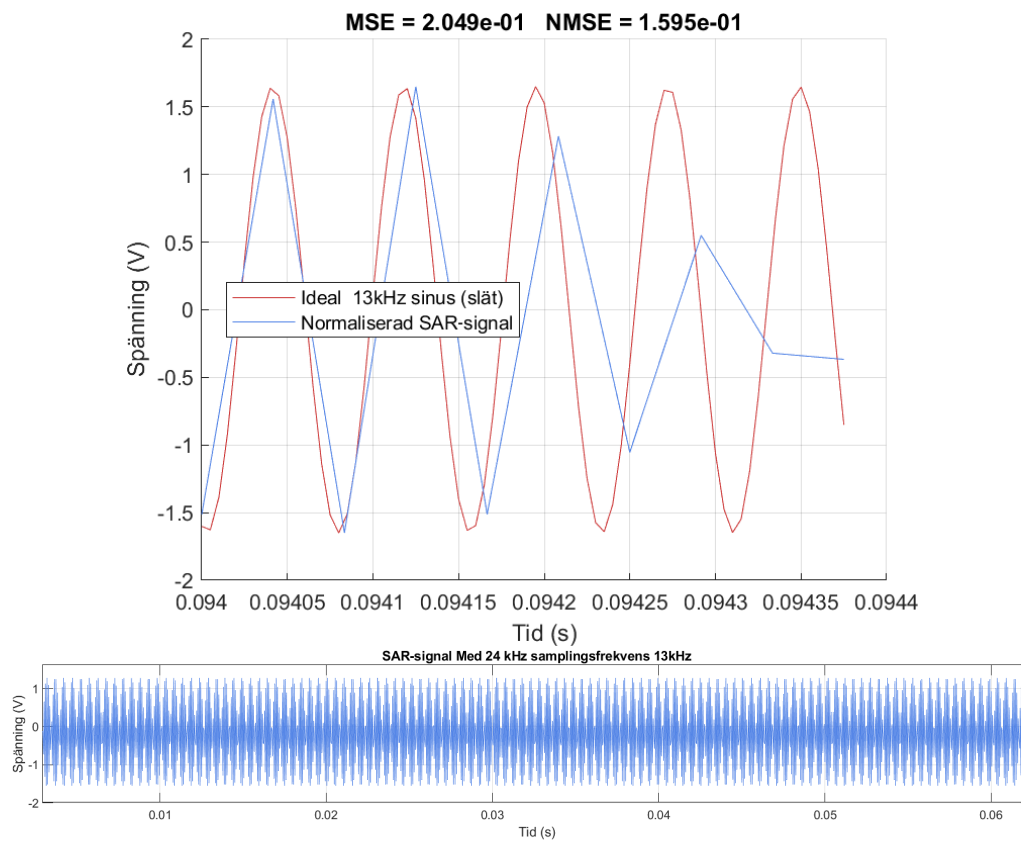
**Figur 8.3:** Utgångssignal från SAR med DAC vid 8 kHz, samplingsfrekvens 24 kHz.

## 12 kHz



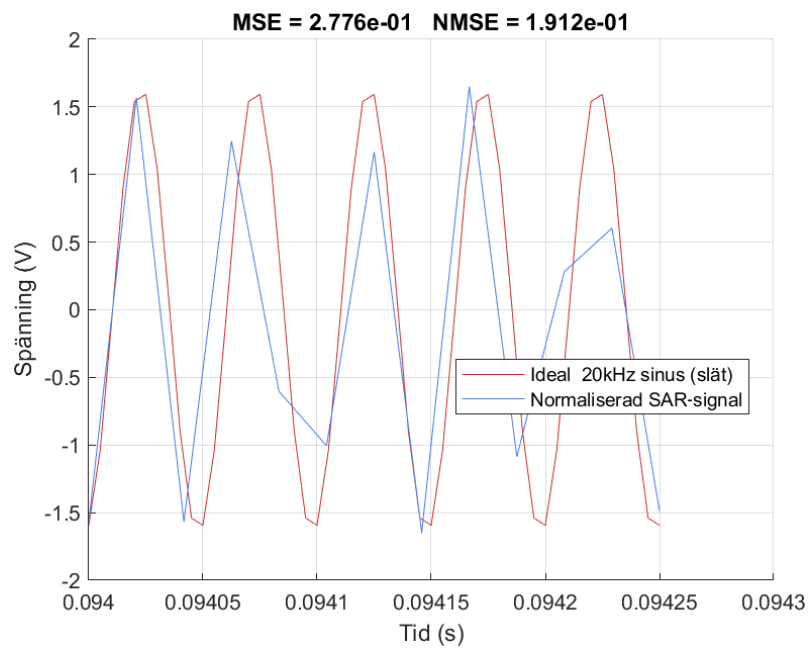
**Figur 8.4:** Utgångssignal från SAR med DAC vid 12 kHz, samplingsfrekvens 24 kHz.

## 13 kHz



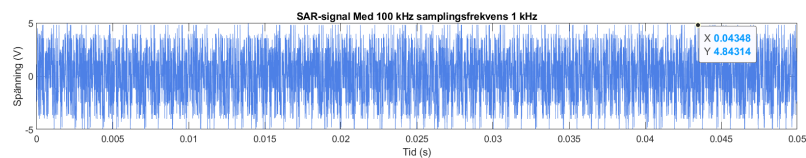
**Figur 8.5:** Utgångssignal från SAR med DAC vid 13 kHz, samplingsfrekvens 24 kHz.

20 kHz



**Figur 8.6:** Utgångssignal från SAR med DAC vid 20 kHz, samplingsfrekvens 48 kHz.

1 kHz Samplingsfrekvens 100 kHz

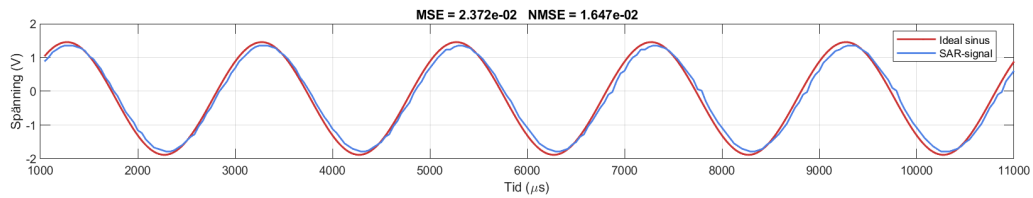


**Figur 8.7:** Utgångssignal från SAR med DAC vid 1 kHz, samplingsfrekvens 100 kHz.

### 8.1.2 SAR utan sample-and-hold

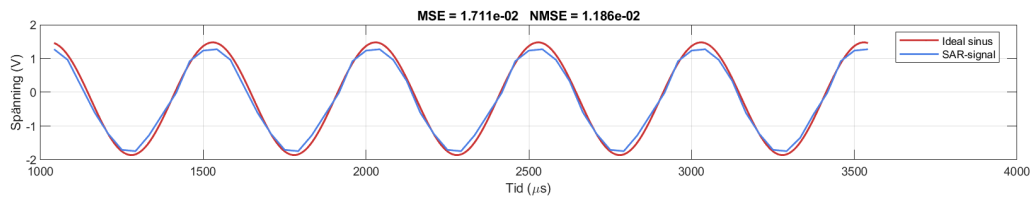
Resultat för en 8-bitars ADC med insignalfrekvenser och 24 kHz samplingsfrekvens.

#### 500 Hz



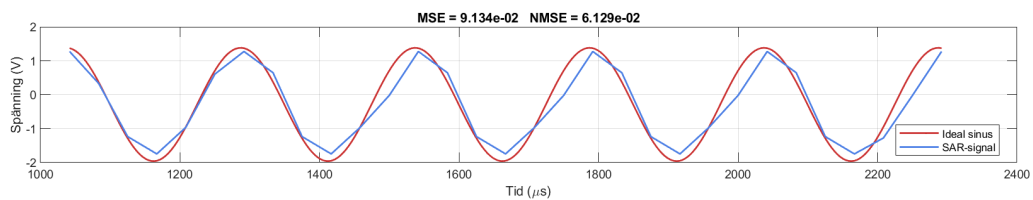
**Figur 8.8:** Utgångssignal från SAR utan sample-and-hold vid 500 Hz, samplingsfrekvens 24 kHz.

#### 2 kHz



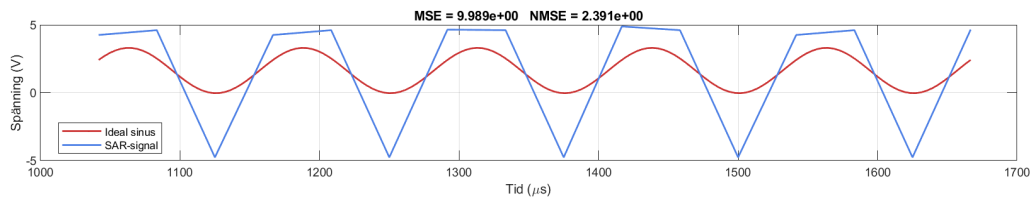
**Figur 8.9:** Utgångssignal från SAR utan sample-and-hold vid 2 kHz, samplingsfrekvens 24 kHz.

#### 4 kHz



**Figur 8.10:** Utgångssignal från SAR utan sample-and-hold vid 4 kHz, samplingsfrekvens 24 kHz.

## 8 kHz

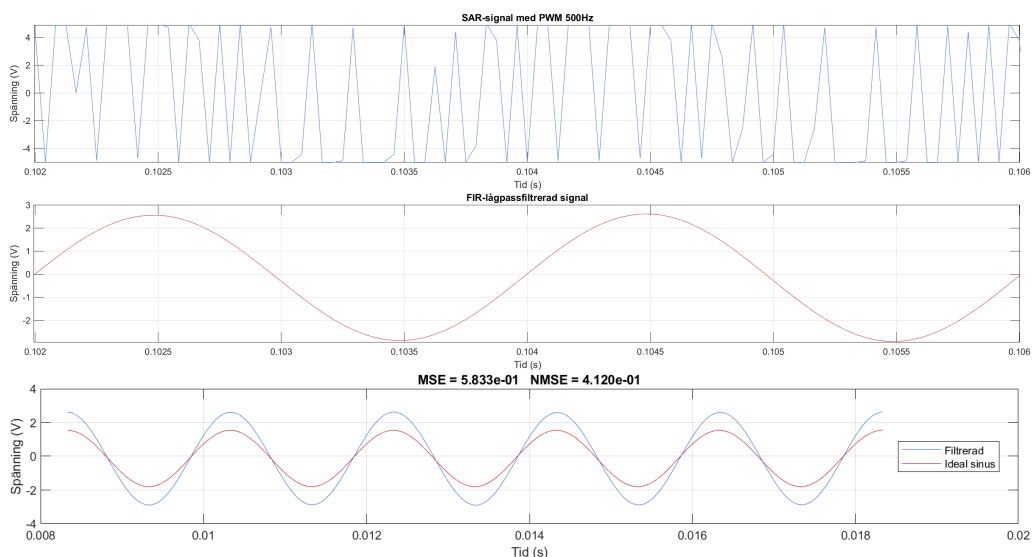


**Figur 8.11:** Utgångssignal från SAR utan sample-and-hold vid 8 kHz, samplingsfrekvens 24 kHz.

## 8.1.3 SAR med PWM

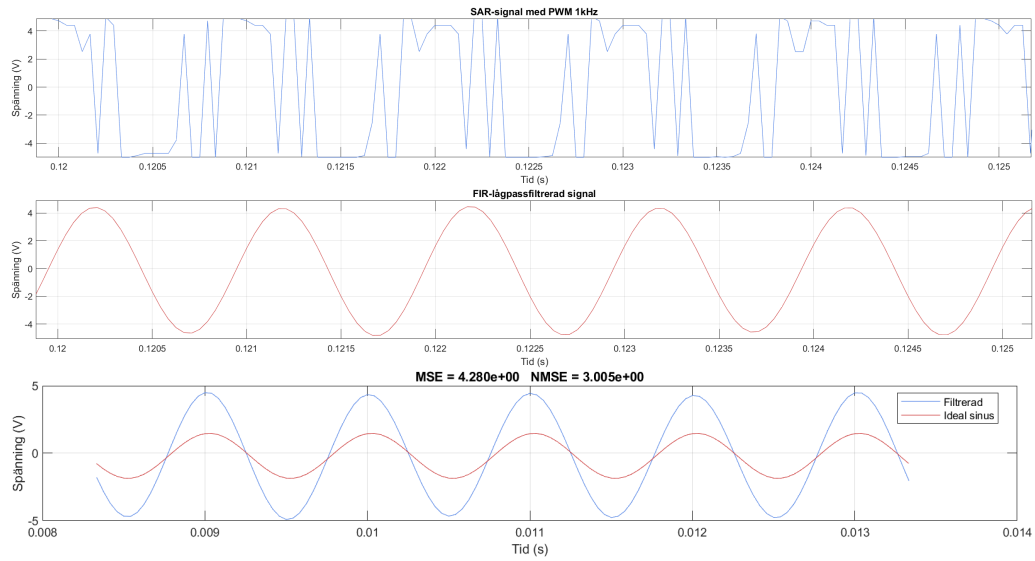
Då DAC0808 ersattes med PWM uppmättes följande resultat för en 8-bitars ADC med samplingsfrekvens 24 kHz.

## 500 Hz



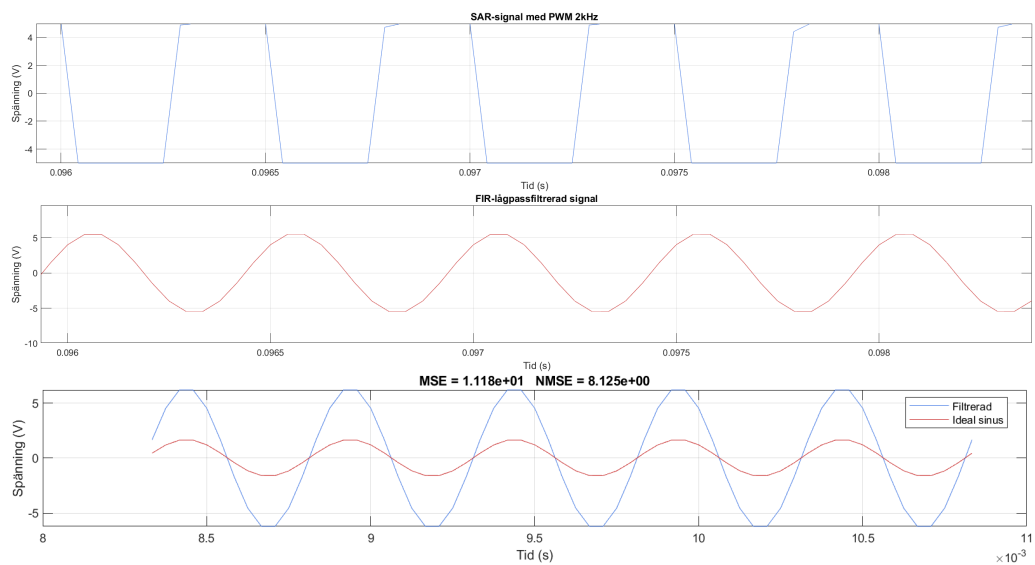
**Figur 8.12:** Utgångssignal 500 Hz från SAR med PWM.

1 kHz



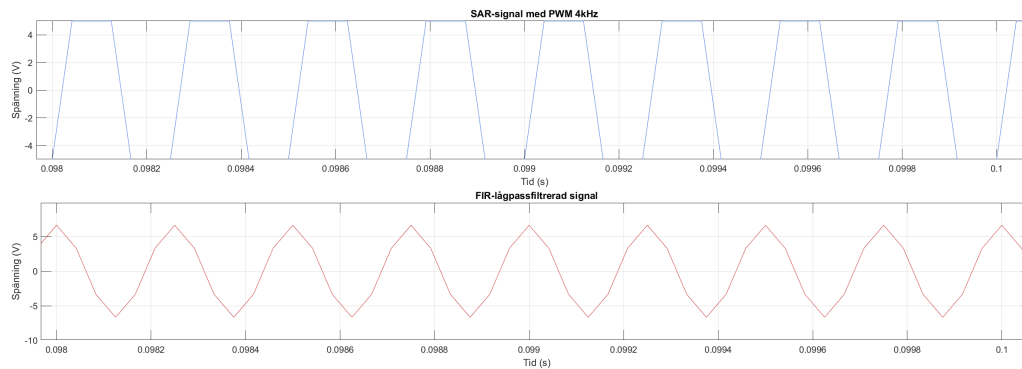
Figur 8.13: Utgångssignal 1 kHz från SAR med PWM.

2 kHz



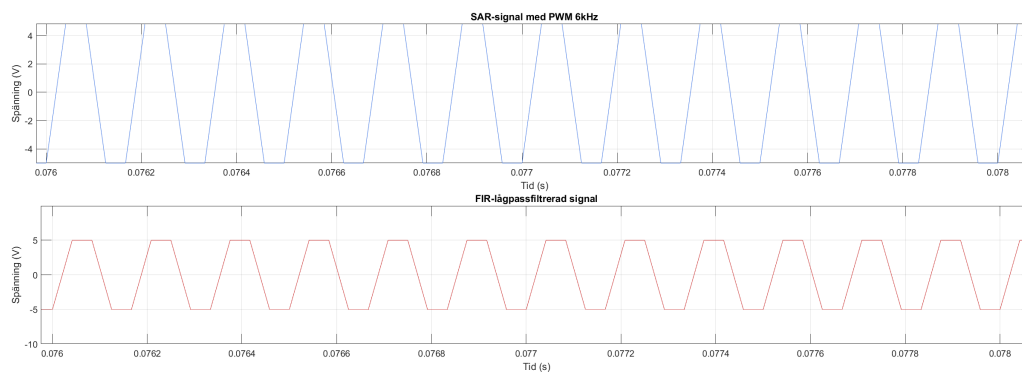
Figur 8.14: Utgångssignal 2 kHz från SAR med PWM.

## 4 kHz



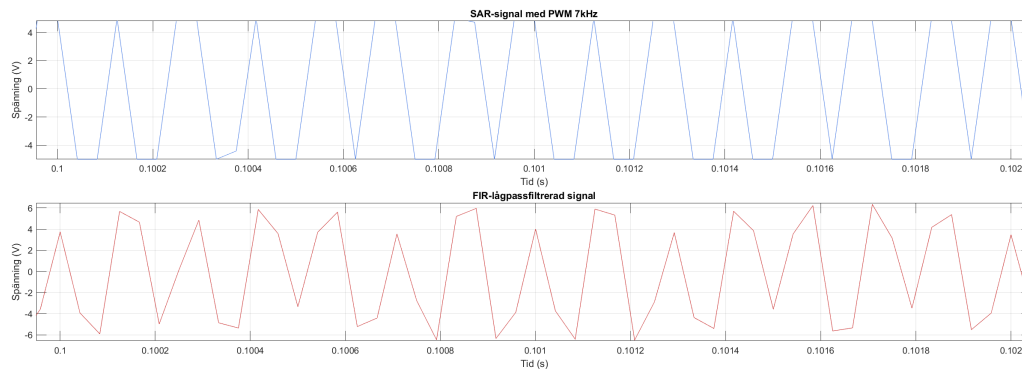
Figur 8.15: Utgångssignal 4 kHz från SAR med PWM.

## 6 kHz



Figur 8.16: Utgångssignal 6 kHz från SAR med PWM.

## 7 kHz



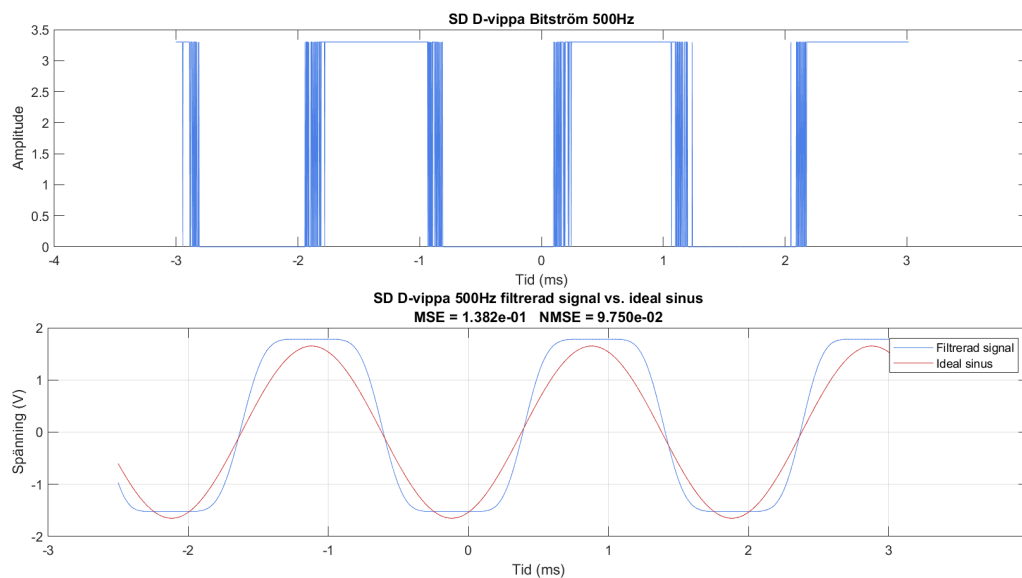
Figur 8.17: Utgångssignal 7 kHz från SAR med PWM.

## 8.2 Sigma-Delta

I detta kapitel presenteras två olika implementationer av 1-bitars Sigma-Delta-ADC:er med samplingsfrekvensen 1 MHz.

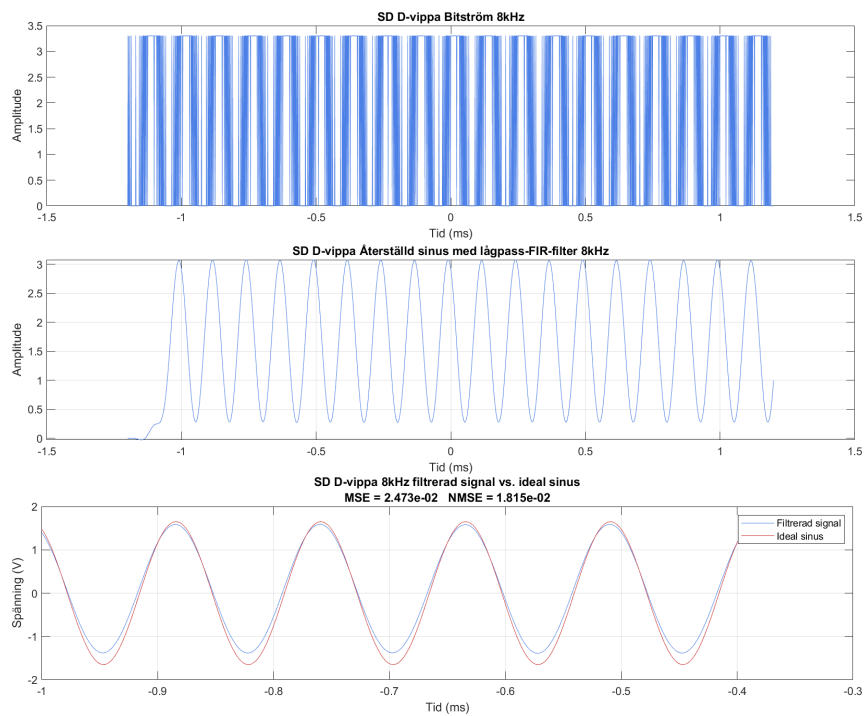
## 8.2.1 Sigma-Delta med D-vippa

Här presenteras resultatet av Sigma-Delta-ADC implementerad med en D-vippa. 500 Hz



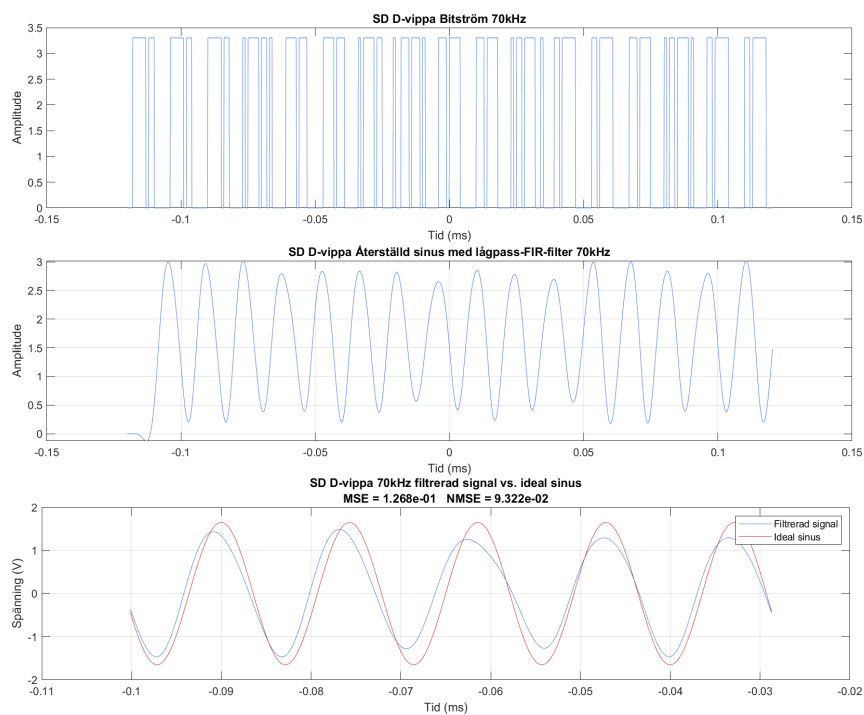
Figur 8.18: Utgångssignal 500 Hz Sigma-Delta D-vippa.

## 8 kHz



Figur 8.19: Utgångssignal 8 kHz Sigma-Delta D-vippa.

## 70 kHz

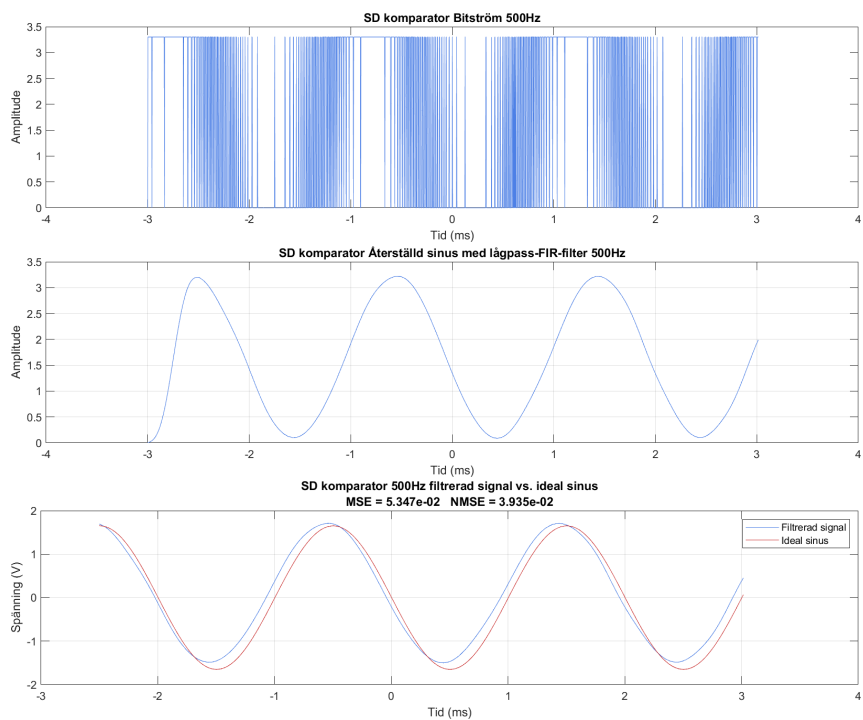


Figur 8.20: Utgångssignal 70 kHz Sigma-Delta D-vippa.

## 8.2.2 Sigma-Delta med komparator

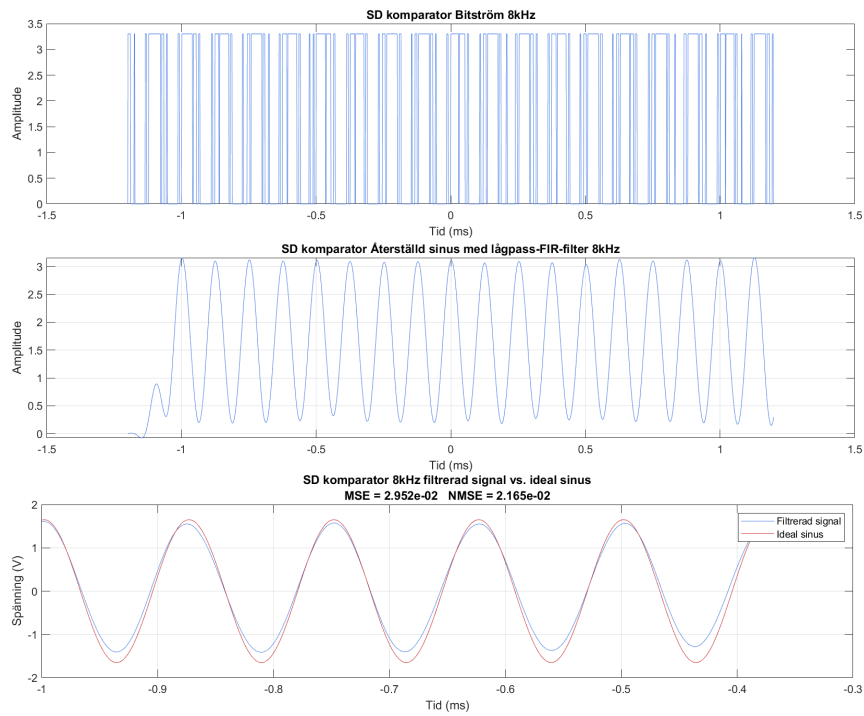
Här presenteras resultatet av Sigma-Delta-ADC implementerad med en komparator LM311.

500 Hz



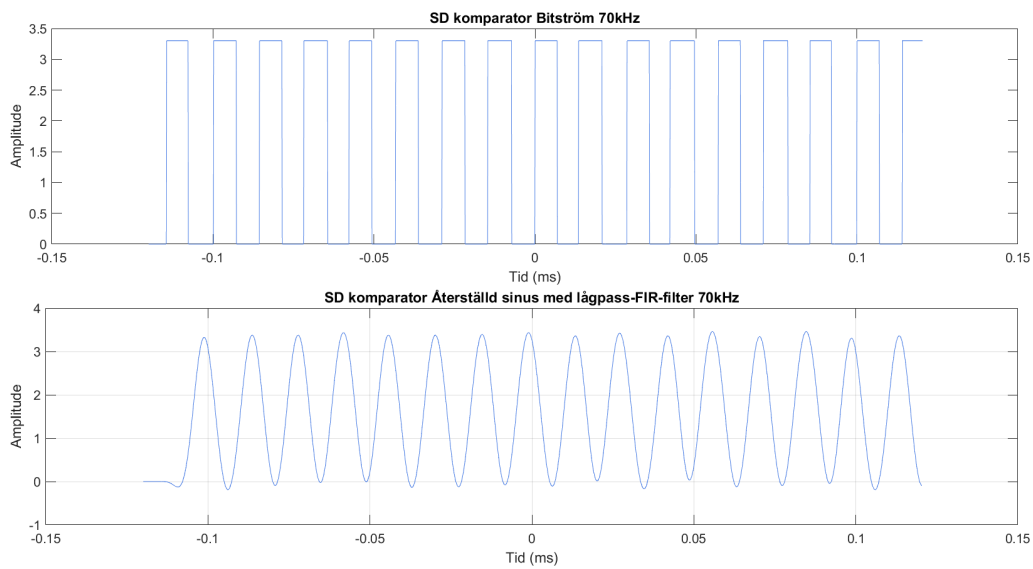
Figur 8.21: Utgångssignal 500 Hz Sigma-Delta komparator.

## 8 kHz



Figur 8.22: Utgångssignal 8 kHz Sigma-Delta komparator.

## 70 kHz



Figur 8.23: Utgångssignal 70 kHz Sigma-Delta komparator.



# 9

## Analys

För att optimera en ADC:s prestanda är det viktigt att förstå hur olika arkitekturval påverkar olika parametrar. Detta projekt lägger fokus specifikt på noggrannhet, snabbhet och energiförbrukning. I detta avsnitt analyseras två typer av ADC-kretsar, en SAR-arkitektur och en Sigma-Delta-arkitektur, i olika konfigurationer.

Genom att förenkla eller modifiera kretsarnas uppbyggnad, exempelvis genom att utsluta en sample-and-hold-krets eller ändra DA-omvandlingen, ändras förutsättningarna och utsignalen förväntas variera.

I detta kapitel bygger analysen på mätningar som utförts för varje konfiguration, där fokus ligger på att kvantitativt jämföra resultat i termer av noggrannhet, snabbhet samt energiförbrukning.

### 9.1 Analys av SAR-arkitekturer

För att undersöka prestandan hos SAR-ADC:erna nyttjades sinusformade signaler vid olika frekvenser. Den lägsta samplingsfrekvensen som testades var 24 kHz som sedan ökades för att nå den gräns där de analoga komponenterna når sitt tak.

#### 9.1.1 SAR-arkitektur med DAC

Vid 2 kHz fungerar kretsen mycket bra, se figur 8.1 Den normaliserade utsignalen följer tydligt den ideala sinusvågen med minimal förvrängning. MSE uppmättes till 0,001488 och NMSE till 0,001081. Vilket indikerar att både DAC0808 och LF398 hinner stabilisera sina respektive nivåer under varje SAR-iteration samt att komparatorvärdet tolkas som förväntat. Ingen signifikant dämpning eller fasförskjutning uppstår vid denna frekvens.

Vid 5 kHz blir skillnaden mellan den ideala signalen och utsignalen tydligare, se figur 8.2. MSE ökar till 0,002774 och NMSE till 0,001960. Detta beror delvis på att antalet samplingar per period minskar, vilket gör det svårare att träffa signalens toppar och dalar exakt. Konsekvensen blir en viss amplituddämpning samt distorsion i vågformen.

Redan vid 8 kHz observerades en förvrängning, se figur 8.3, och vid 12 kHz blev pulsmönstret tydligt. Detta är förväntat då systemet ligger precis på gränsen till vad

det klarar enligt Nyquists samplingsteorem. Det identifieras en amplitudpuls med en frekvens på cirka 38,5 Hz vilket tolkas som ett aliasingfenomen.

Vid 12 kHz och samplingsfrekvensen 24 kHz nås gränsen för systemets funktionalitet, se figur 8.4. MSE är nu 2,7 och NMSE  $1.514 * 10^{20}$  vilket påvisar en kraftig degradering i prestanda. Den idealiserade sinusvågen och utsignalen skiljer sig nu så mycket att vågformerna knappt längre överensstämmer. Mätningen visar att SAR-ADC:n fungerar tillfredsställande under 5 kHz men vid högre frekvenser, när signalen närmar sig cirka 10 kHz, begränsas prestandan av 24 kHz samplingsfrekvens. När insignalens har frekvensen 12 kHz och samplas med frekvensen 24 kHz uppfylls formellt Nyquist-kriteriet, eftersom signalen samplas exakt två gånger varje period. Trots detta uppstår ett fenomen där den återgivna signalen tycks pulsera i amplitud, vilket syns i figur 8.4.

Detta är inte ett klassiskt aliasing-fenomen utan snarare att signalen och samplingen är perfekt synkroniserade. Endast två punkter på varje period av sinusvågen samplas, och om dessa ligger förskjutet i förhållande till signalens fas uppstår ett fenomen som visuellt påminner om aliasing. Detta orsakas av fasförhållandet mellan samplingspunkterna och insignalens fas [21]. Detta förstärks tydligt då insignalfrekvensen är hälften av samplingsfrekvensen.

För att undersöka detta vidare testades insignalens frekvens över 12 kHz. Resultatet visade att pulsmönstret minskade, vilket tyder på att samplingen nu träffar olika punkter på sinusvågen, vilket i sin tur sprider ut pulsmönstret och skapar en jämnare men felaktig utsignal, se figur 8.5.

För att undersöka SAR-ADC:ns gränser testades hur höga insignalfrekvenser systemet kunde hantera innan det havererade. För att avgöra om det var timing eller hårdvarubegränsningar som satte gränsen ökades samplingsfrekvensen stegvis från 24 kHz till 48 kHz, 60 kHz, 72 kHz och till sist 100 kHz. Resultatet visade att det gick att höja insignalens frekvens markant i kombination med höjd samplingsfrekvens. Detta var dock enbart effektivt upp till en viss gräns med gott resultat, cirka 72 kHz. Vid en  $f_s$  på 100 kHz misslyckades systemet helt att återge insignalen oavsett insignalfrekvens, se figur 8.7, vilket tyder på att analoga komponenter utgör begränsningen i systemet. En trolig flaskhals i kretsen är LF398, detta då det i databladet för LF398 anges typiska värden för acquisition och settling time på upp till  $10 \mu s$ . Detta motsvarar ideal maximal samplingsfrekvens på 100 kHz, och det är rimligt att anta att den övre gränsen i praktiken ligger något lägre för att bibehålla god noggrannhet.

### 9.1.2 SAR-arkitektur utan sample-and-hold-krets

För att undersöka sample-and-hold-funktionens inverkan avlägsnades LF398 från kretsen. Alla andra komponenter hölls oförändrade. Samtliga mätningar som genomfördes med sample-and-hold-kretsen ansluten genomfördes på nytt.

Vid 500 Hz fungerade kretsen fortfarande som förväntat, se figur 8.8. Insignalen är så pass långsam att den inte förändras märkbart under SAR-processens  $41,7 \mu s$  vilket

gör att approximationen fungerar stabilt även utan sample-and-hold. Vågformen är jämn och utan synlig distorsion, vilket visar att kretsen vid låga frekvenser fungerar utan stationär sampling. Vid 2 kHz börjar prestandan försämrans, se figur 8.9. Visuellt observeras att signalen fortfarande är relativt ren men med viss ojämnheter i toppar och dalar, vilket tyder på att signalen förändras något under tiden ADC:n utför sin bitvisa jämförelse. Eftersom signalen inte hålls konstant under SAR-cykeln uppstår små fel i konverteringsresultatet.

Vid 8 kHz är begränsningarna tydliga, se figur 8.11. I den förstörade grafen behåller vågformen fortfarande sin sinusform, men i helhetsbilden syns tydliga amplitudvariationer och skarpa övergångar. Detta beror på att insignalen rör sig så snabbt att den byter värde under själva jämförelseprocessen, vilket gör att flera av SAR jämförelserna baseras på felaktiga nivåer. Dessa resultat påvisar att SAR-arkitekturen snabbt tappar precision utan sample-and-hold redan vid relativt låga frekvenser. Vid 500 Hz fungerar kretsen utan sample-and-hold tack vare den långsamma insignalen, men vid 4 kHz uppstår tydliga fel, se figur 8.10, och vid 8 kHz är prestandan otillräcklig. Detta visar tydligt vikten av att kunna frysa insignalen under SAR-konverteringen för att säkerställa noggrannhet.

### 9.1.3 SAR-arkitektur med PWM

Initialt gav mätningarna goda resultat när PWM användes för att omvandla FPGA:ns digitala approximation till en analog signal till komparatorn. Vid 500 Hz noterades en kraftig modulering av den digitala signalen med kraftiga fluktuationer, se figur 8.12. Trots analog filtrering visar signalen ett sågtandsliknande mönster, vilket tyder på att delar av PWM-pulserna har passerat genom filtret. Efter FIR-filtrering såg signalen dock ut som förväntat.

Vid 1 kHz och 2 kHz observerades liknande förvrängning av den digitala signalen men även här filtrerades signalen med ett FIR-lågpassfilter och den filtrerade signalen visade på förväntad form och frekvens. Se figur 8.13 och 8.14

Vid en ökning av frekvensen till 4 kHz uppstod svårigheter för FIR-filtret att rekonstruera signalen. Frekvensen var fortsatt korrekt men signalens form försämrades. Flera olika konfigurationer av FIR-filtret testades men med likvärdiga eller sämre resultat. Se figur 8.15

Vid 6 kHz antog den filtrerade signalen formen av en triangulär våg med avhuggna toppar och dalar, se figur 8.16, och vid 7 kHz tappade den helt sin form och frekvens. Se figur 8.17

Felet misstänktes initialt ligga i den analoga filtreringen, varvid nya värden beräknades för det RC-lågpassfilter som användes. Trots detta kvarstod problemet och även om karaktären förändrades förbättrades inte resultatet. RC-filtret ersattes därefter av ett aktivt Sallen-Key-filter men då inte heller detta förbättrade utfallet antogs att orsaken till problematiken låg någon annanstans.

### 9.1.4 Felsökning och djupanalys

Eftersom kretsen tidigare testats med DAC med gott resultat, var det tydligt att problemet låg någonstans mellan den digitala approximationen från FPGA:n och det att komparatorn jämförde denna med insignalen.

Mätningar av den filtrerade PWM-signalen gjordes och då denna visade en mjuk, svepande kurva utan tydliga steg antogs detta vara en del av orsaken till problemet.

I samband med undersökningen av användningen av edge-aligned respektive center-aligned PWM återfanns publicerat material [22] som belyste vikten av korrekt dimensionering av PWM-frekvensen ( $f_{pwm}$ ) i förhållande till SAR-ADC:ns samplingsfrekvens ( $f_s$ ), se formel 2.8.

Komparatorn har ett läsfönster på cirka  $4 \mu s$ , vilket ges av  $\frac{1}{240 \text{ kHz}} \approx 4,17 \mu s$ . Om  $f_{pwm}$  är för låg i förhållande till detta tidsfönster riskerar inläsningen att bli felaktig. För att minska denna risk bör flera PWM-cykler rymmas inom varje läsfönster, vilket gör att komparatorn i praktiken läser ett medelvärde, vilket i sin tur gör att risken för felinläsning minskar. Då FPGA:ns klockfrekvens är 50 MHz kan perioden för varje PWM-cykel räknas ut med hjälp av formel 2.10 enligt  $\frac{2^8}{50 \text{ MHz}} = 5,12 \mu s$

Det konstaterades att den valda PWM-frekvensen ( $f_{pwm}$ ) var otillräcklig för att åstadkomma en korrekt läsning av komparatorn. Detta bedömdes vara den troligaste orsaken till den observerade problematiken vilket styrks av det faktum att låga frekvenser på signalen tolkas bättre än höga. Detta leder till slutsatsen att vid låga insignalfrekvenser hinner lågpasfiltret jämna ut PWM-signalen till ett stabilt medelvärde. Detta ger komparatorn en tydligare signal att tolka, vilket förbättrar noggrannheten vid avläsning.

Eftersom  $f_{pwm}$  är direkt beroende av dess upplösning och systemets klockfrekvens är det möjligt att beräkna nödvändiga justeringar för att nå ett fungerande system. För att bibehålla hög noggrannhet sattes ett minimikrav på både ADC:ns och PWM:ns upplösning på 7 bitar.

Då källorna gav olika rekommendationer gällande hur mycket snabbare  $f_{pwm}$  bör vara i förhållande till  $f_s$ , från 3 till minst 10 gånger, beroende på frekvens och krav på noggrannhet, valdes en godtycklig faktor på 5 gånger. Detta gav önskad klockfrekvens på 153,6 MHz [23].

Alternativen var att ytterligare minska PWM-upplösningen, sänka  $f_s$  eller öka klockfrekvensen. Efter undersökning konstaterades att PLL skulle kunna användas för att generera en högre klocksignal. Eftersom denna måste vara en multipel av referensklockan valdes 200 MHz, vilket uppfyllde kraven och gav en  $f_{pwm}$  cirka 6,5 gånger högre än  $f_s$ . Trots försök att implementera detta kunde det dessvärre inte realiserats praktiskt, på grund av begränsningar i FPGA:n.

Försök gjordes även att anpassa systemet till FPGA:ns klockfrekvens 50 MHz. I detta försök minskades både PWM-signalens och SAR-kretsens upplösning från 8 bitar till 7 bitar. Detta gav en  $T_{pwm}$  på  $2,56 \mu s$ , och genom att låta komparatorns

läsfönster vara 6,5 gånger längre fås en  $f_s$  på cirka 6,7 kHz. Denna förhållandevis låga samplingsfrekvens kan framstå som opraktisk, men var nödvändig för att hålla sig inom den tillgängliga hårdvarans kapacitet. Tester genomfördes, men till följd av tidsbrist kunde dessvärre inga resultat verifieras inom projektets ramar.

## 9.2 Analys av Sigma-Delta-arkitekturer

För att Sigma-Delta-modulation ska fungera korrekt krävs att systemet arbetar med hög översamplingsfaktor. I praktiken innebär det att samplingsfrekvensen måste vara många gånger högre än signalens bandbredd. Detta är nödvändigt eftersom modulatorens bygger upp en bitström med lågupplösning som i efterhand filtreras för att återskapa det ursprungliga värdet. Ju högre översampling desto effektivare blir brusformningen, vilket i sin tur förbättrar noggrannheten i den rekonstruerade signalen. För en första ordningens modulator krävs vanligtvis en översampling som är mycket högre än Nyquist-kriteriet. Ju högre OSR desto mer effektivt kan modulatorens forma bruset [18].

### 9.2.1 Sigma-Delta med D-vippa

Första ordningens 1-bitars Sigma-Delta-ADC implementerades där kvantiseringen sker via en D-vippa med samplingsfrekvensen 1 MHz i kombination med återkoppling. Bitströmmen filtreras därefter digitalt med ett FIR-filter för att återskapa en digital representation av insignalen.

Vid 500 Hz insignal visar bitströmmen tydliga täta pulser vid signalens nollövergångar vilket är karaktäristiskt för Sigma-Delta-modulering, se figur 8.18. En viktig observation är att den återställda signalen har tydligt avskurna toppar och dalar. Detta kan förklaras med den dödszon, ett odefinierat område på cirka 25% av signalens spänningsomfång, se figur 7.4. Inom denna dödszon sker inga tillståndsbyten vilket tillfälligt fryser modulatorens [24] vilket i sin tur gör att signalen ser avklippt ut i dessa partier. Signaler som ligger utanför detta odefinierade intervall tolkas som stabil hög eller låg. Endast när insignalen befinner sig inom dessa definierade spänningsintervall sker pendlingar mellan högt och lågt läge i bitströmmen. Detta leder till att sinuskurvans övergång blir brantare och toppar och dalar ligger kvar under längre tid. MSE beräknas till 0,138 och NMSE till 0,0975. Dessa felvärden är måttliga och visar att systemet fungerar korrekt men introducerar viss förvrängning vid signalens nollövergång.

Vid 8 kHz insignal genereras en bitström som är tätare och mer frekvent, den återställda vågformen visar god noggrannhet med den ideala sinusvågen, se figur 8.19. MSE är nu 0,02473 och NMSE 0,01815 och har därmed mindre avvikelse än vid 500 Hz insignal vilket kan verka märkligt då OSR nu är betydligt lägre än vid 500 Hz. Detta kan dock troligtvis knytas till den icke-linearitet som beskrivs av Schreier & Temes [24] som menar att kvantiserarens dödszon påverkar signaler med låg frekvens i betydligt större utsträckning än signaler med högre frekvens. Snabbare signaler gör att  $\varepsilon$  pendlar mer stabilt utanför dödszonen vilket minskar icke-lineariteten och ger

bättre återgivning.

Vid ökad insignal till 70 kHz ser vi en förändrad situation, se figur 8.20. Vid låga insignalfrekvenser som 500 Hz och 8 kHz är OSR hög vilket gör att återkopplingen i modulatorens effektivt kan fördela bruset till högre frekvenser där det enkelt kan filtreras bort. Detta resulterar i lägre MSE och NMSE. Vid högre frekvens på insignalen minskar OSR och modulatorens brusformningsförmåga försämras eftersom den inte kan förskjuta bruset lika effektivt. Den digitala FIR-filtreringen kan då inte längre återställa signalen korrekt, vilket resulterar i tydlig distorsion och ökat fel.

### 9.2.2 Sigma-Delta med komparator

I denna konfiguration har D-vippan ersatts med en analog komparator, vilket innebär att jämförelsen mellan den återkopplade signalen och insignalen sker asynkront. Vid 500 Hz är systemet stabilt, se figur 8.21. Bitströmmen växlar tätt och regelbundet kring nollnivån, vilket tyder på en balans i Sigma-Delta-ADC:n. Efter FIR-filtreringen återges signalen med god form och relativt låg förvridning. MSE är 0,05347 och NMSE 0,03935 vilket är ett förbättrat resultat jämfört med D-vippakonfigurationen.

Vid 8 kHz fungerar återkopplings slingan fortfarande, se figur 8.22. Bitströmmen är mer frekvent och filtreringen återställer fortfarande en sinusform. MSE ökar något till 0,02952 och NMSE till 0,02165. Det visar att komparatören klarar snabba ändringar i insignalen, förutsatt att översamplingsfaktorn hålls tillräckligt hög.

Vid 70 kHz försämras prestandan se figur 8.23. Bitströmmen blir glesare och mindre symmetrisk. Den filtrerade signalen har fortsatt sinusform men med märkbara amplitudfel. Här spelar översamplingsfaktorn återigen en avgörande roll; ju närmare insignalens frekvens kommer modulatorens gräns, desto svårare blir det att forma bruset.

Jämfört med D-vippan ger komparatören fördelen av kontinuerlig respons, vilket förbättrar noggrannheten vid lägre frekvenser. När signalfrekvensen ökar uppstår dock begränsningar även här; särskilt på grund av att komparatören inte är synkroniserad med klockan och därför kan ge oregelbundna ut signaler vid höga frekvenser. Detta i kombination med låg OSR gör att systemet tappar prestanda snabbt vid högre insignalfrekvenser.

# 10

## Diskussion

### 10.1 Reflektion över projektet och dess resultat

Med tanke på projektets förutsättningar är vi nöjda med både genomförande och resultat. Projektet har haft forskningsliknande karaktär och målsättningarna och möjligheterna har utvecklats längs vägen. Initialt var tanken att fokusera på en specifik ADC-arkitektur, men tidigt gavs möjligheten att i stället utveckla och undersöka två olika typer av arkitekturer samt variationer inom dessa. Detta visade sig vara ett givande val som breddade projektet och dess värde samtidigt som det fördjupade vår egen kunskap och förståelse.

Tiden har dock varit begränsad, vilket medfört att vissa idéer bara kunnat behandlas teoretiskt och inte testats praktiskt. Det hade även varit intressant att kunna lägga ännu mer tid på att utveckla och testa nya koncept som ännu inte realiserats praktiskt utan bara i teorin.

Tidsbegränsningen har dessutom medfört att vissa avväganden behövt göras och vissa avgränsande beslut fått tas då tid inte funnits att utforska och analysera varje aspekt i konstruktionen av kretsarna.

Ett exempel på detta är att mer tid kunnat läggas på optimering av prestanda där komponenter och komponentvärden skulle undersökas djupare samt fler tester av maximal samplingsfrekvens, i syfte att skapa en så optimal konfiguration av varje krets som möjligt. Detta hade dock krävt merparten av projektets tid och tvingat oss att fokusera på endast en arkitektur, vilket i sin tur hade uteslutit möjligheten till jämförelse mellan olika typer av ADC-kretsar. Av den anledningen valde vi i stället att fokusera på en mer övergripande jämförelse mellan de olika arkitekturerna, med insikten att ett stort antal möjliga konstruktioner och justeringar hade kunnat leda till skillnader i resultat.

Vi har i projektet påvisat styrkor och svagheter på båda typerna av ADC-arkitektur. Tre kretsar har fungerat enligt förväntningarna, medan den fjärde, med modifikation av klockfrekvensen hos FPGA:n, åtminstone teoretiskt bör fungera. Vi har genomfört mätningar och analyserat insamlad data.

För att utvärdera Sigma-Delta-ADC:ns prestanda utfördes tester där samplingsfrekvensen hölls konstant medan insignalfrekvensen varierades. Denna metod valdes

dels för att den speglar realistiska system där samplingsfrekvensen är begränsad av hårdvarans klockfrekvens eller konfiguration, och dels för att undersöka hur en minskad OSR påverkar ADC:ns prestanda negativt. Detta gav oss en bra förståelse för betydelsen av hög OSR för effektiv brusformning. Tanken var även att utföra kompletterande tester med bibehållen OSR, genom att justera samplingsfrekvensen proportionerligt mot insignalfrekvensen, men detta hanns tyvärr inte med inom projektets tidsramar.

En aspekt som tydligt skiljer sig från våra förväntningar är att vår SAR-ADC har en betydligt högre energiförbrukning än de båda Sigma-Delta-kretsarna, trots att SAR-arkitekturer generellt är kända för att ha låg effektförbrukning. Vår SAR-krets drar cirka 600 mW vilket är mer än dubbelt så mycket som de två Sigma-Delta-kretsarna tillsammans. Detta kan verka förvånande, men är vid närmare analys logiskt sett till vår krets uppbyggnad.

Förklaringen ligger i att vår SAR-krets är byggd med diskreta, analoga komponenter som DAC0808, TL071 och LF398, vilka inte är optimala när låg effektförbrukning vill uppnås. Genom att studera dessa komponenters datablad kan man se att dessa komponenter tillsammans har en typisk effektförbrukning på cirka 640 mW vid  $\pm 15$  V, vilket ligger i linje med våra mätningar. Dessutom genererar vårt referensnätverk en konstant referensspänning som bidrar till förbrukningen. När DAC0808 och referensnätverket kopplades bort inför de initiala försöken med PWM-styrning halverades förbrukningen, vilket ytterligare styrker denna teori.

DAC0808 lanserades enligt uppgifter under 1970-talet och finns dokumenterad i National Semiconductor Linear Databook från 1988 [25], vilket bekräftar dess ålder. Det är en fullt fungerande men i sammanhanget omodern komponent som inte matchar moderna krav på energieffektivitet. Som jämförelse kan man nämna Microchip MCP4901, en DAC från samma tillverkare som kräver endast 0,6 mW typiskt vid 3,3 V drift [26].

För att göra en rättvis jämförelse mellan SAR- och Sigma-Delta-arkitekturer bör man därför titta på moderna, integrerade ADC-lösningar. Ett exempel är AD7822, en 8-bitars SAR-ADC som har en typisk effektförbrukning på cirka 1,3 mW vid 5 V [27]. Det innebär att den har en nästan 500 gånger mindre effektförbrukning än vår diskreta SAR-lösning. Denna skillnad understryker ytterligare hur mycket mer effektiva moderna komponenter är tack vare integrering, optimering och längre drivspänningar, vilket är av stor vikt om man ser ur både prestanda- och miljöperspektiv.

Just miljöperspektivet har varit en vinkel som vi haft med oss under hela arbetet. I en värld där allt mer digitaliseras, och större och större mängder data ska hanteras i allt snabbare takt, blir energieffektivitet och resursutnyttjande avgörande både vid framtagande av nya kretsar och i användandet av dem i ny teknik.

Även om vårt projekt använder äldre, och ur energisynpunkt mindre lämpade, komponenter till följd av de avgränsningar som sattes i projektets inledning, visar denna jämförelse tydligt hur valet av komponenter kan ha stor betydelse för klimatpå-

verkan, särskilt när tekniken används i miljontals enheter. Att redan i designfasen prioritera låg strömförbrukning är därför inte enbart en teknisk eller ekonomisk fråga utan också en del i det långsiktiga hållbarhetsarbete ingenjörer är en del av.

## 10.2 Verifiering av projektets frågeställningar

### Alternativ för realtidskommunikation med FPGA

Vi har undersökt olika möjligheter att kommunicera mellan dator och en FPGA med begränsade inbyggda kommunikationsfunktioner. Genom inköp och test av ett FT232RL-kort har vi verifierat möjligheten att använda USB-UART för kommunikation med FPGA:n. Detta visade sig vara en enkel och pålitlig lösning för realtidskommunikation utan inbyggt Ethernet-stöd.

### Sample-and-hold-kretsens betydelse för SAR-ADC:n

Genom mätningar av SAR-ADC:ns noggrannhet med och utan sample-and-hold-krets har vi visat att kretsen är kritisk för att säkerställa korrekta samplingspunkter, vilket bekräftar vikten av sample-and-hold-krets i SAR-arkitekturen.

### Digitalisering av komparatorn i SAR-ADC utan att förlora noggrannhet

Vi har genom litteraturstudier och praktiska experiment kommit fram till att digitalisering av komparatorn med bibehållen pålitlighet i vår krets inte lyckats genomföras till följd av begränsningar i de fysiska portarna på FPGA:n.

### Ersättning av DAC med PWM i SAR-ADC:n för minskad energiförbrukning

Genom experiment och effektmätningar har vi visat att PWM i viss mån kan ersätta DAC i vissa applikationer. Vi observerar en minskad energiförbrukning i kretsen, men ser samtidigt utmaningar i det att  $f_{pwm}$  måste hållas mycket hög för att behålla noggrannhet, vilket sätter stora krav på tekniken som används. Dessutom behöver det utredas om en sample-and-hold-krets måste implementeras, vilket i sådana fall kan påverka energibesparingen.

### Skillnader mellan synkrona och asynkrona Sigma-Delta-ADC:er vad gäller prestanda och energieffektivitet

Synkrona Sigma-Delta-ADC:er erbjuder prestanda och en enklare digital implementation men kan drabbas av högre energiförbrukning och metastabilitet kopplat till D-vippor. Asynkrona ADC:er är mer energieffektiva och lättare att implementera analogt men kräver en mer komplex digital hantering och kan vara svårare att modellera exakt.

### Nya ADC-typer och optimering av energiförbrukning

På grund av tidsbegränsningar har vi endast haft möjlighet att skaffa oss en yttlig överblick över nya ADC-arkitekturer. Därför återstår omfattande läsning och praktisk utvärdering för att kunna bedöma deras potential för energibesparing i vårt sammanhang. Detta får i sådant fall ses som en möjlig vidareutveckling utanför projektets nuvarande ramar.

### 10.3 Att gå vidare med

Det finns flera intressanta riktningar för vidare utveckling av detta projekt. Ett första steg hade varit att fördjupa sig ytterligare i gränserna för prestanda, främst hastighet, hos respektive ADC-arkitektur. Genom att pressa dessa gränser för att hitta kretsarnas praktiska begränsningar kan en mer tydlig och rättvis jämförelse mellan SAR- och Sigma-Delta-arkitekturerna göras.

Utöver detta hade det varit intressant att realisera SAR-ADC med PWM-metoden, där en 200 MHz klocksignal genereras på FPGA:n med hjälp av en PLL. Detta skulle möjliggöra att testa den lösning som teoretiskt diskuterats och därigenom bekräfta dess praktiska funktion. Genom att realisera PWM-metoden hade vi kunnat undersöka skillnaderna mellan edge-aligned och center-aligned PWM, samt hur valet påverkar noggrannheten, vilket på grund av tidsbrist inte heller hann undersökas.

Slutligen skulle det vara intressant att implementera det som i denna rapport benämns som en multi-input ADC – en ny typ av ADC som utvecklas vid Chalmers. Detta var något vi initialt hade som ambition att genomföra inom projektets ramar men som på grund av tidsbegränsningar inte blev möjligt att realisera.

### Användning av informella källor och AI-verktyg

Under arbetet har informella källor som Wikipedia, Arduino forum, All about circuits, Stack Overflow och ChatGPT använts som en utgångspunkt för flera resonemang och experiment. Dessa idéer har därefter verifierats genom teknisk litteratur eller, i de fall sådan saknats, genom egna empiriska tester. Detta har skett i samråd med examinator.

Utöver detta har AI-verktyg använts i begränsad utsträckning under arbetet med denna rapport för att verifiera vissa tekniska förklaringar, få feedback på struktur av innehåll och korrektur av formuleringar. Dock är all text i rapporten författad av rapportförfattarna själva.

# Litteraturförteckning

- [1] DE0-CV User Manual; 2013. Terasic Technologies. [https://www2.pcs.usp.br/~labdig/material/DE0\\_CV\\_User\\_Manual.pdf](https://www2.pcs.usp.br/~labdig/material/DE0_CV_User_Manual.pdf).
- [2] FT232R USB UART IC Datasheet; 2016. FTDI Chip. [https://ftdichip.com/wp-content/uploads/2020/08/DS\\_FT232R.pdf](https://ftdichip.com/wp-content/uploads/2020/08/DS_FT232R.pdf).
- [3] TL071; 2021. Ti.com. <https://www.ti.com/product/TL071>.
- [4] LM311 Datasheet; 2021. Texas Instruments. <https://www.ti.com/lit/ds/symlink/lm311.pdf>.
- [5] LF398-N Datasheet; 2021. Texas Instruments. <https://www.ti.com/lit/ds/symlink/lf398-n.pdf>.
- [6] SN74HC74; 2021. Texas Instruments. <https://www.ti.com/product/SN74HC74>.
- [7] Rohde & Schwarz RTB2004; 2024. R&S 4-channel Oscilloscope. [https://www.rohde-schwarz.com/se/products/test-and-measurement/oscilloscopes/rs-rtb2000-oscilloscope\\_63493-266306.html](https://www.rohde-schwarz.com/se/products/test-and-measurement/oscilloscopes/rs-rtb2000-oscilloscope_63493-266306.html).
- [8] Rohde & Schwarz HMF2525; 2024. R&S Function Generator. [https://www.rohde-schwarz.com/se/products/test-and-measurement/baseband-signal-generators/rs-hmf2525-hmf2550-arbitrary-function-generator\\_63493-43456.html](https://www.rohde-schwarz.com/se/products/test-and-measurement/baseband-signal-generators/rs-hmf2525-hmf2550-arbitrary-function-generator_63493-43456.html).
- [9] TENMA 728345A; 2008. TENMA power supplyr. <https://www.farnell.com/datasheets/76169.pdf>.
- [10] Questa Advanced Simulator; 2024. Intel (tidigare Mentor Graphics). <https://www.intel.com/content/www/us/en/software/programmable/quartus-prime/questa-edition.html>.
- [11] Intel Quartus Prime; 2024. Intel FPGA software. <https://www.intel.com/content/www/us/en/software/programmable/quartus-prime/overview.html>.
- [12] MATLAB R2024a; 2024. The MathWorks. <https://www.mathworks.com/products/matlab.html>.

- [13] LTspice; 2024. Analog Devices SPICE simulator. <https://www.analog.com/en/design-center/design-tools-and-calculators/ltspice-simulator.html>.
- [14] Tera Term; 2025. Open-source terminal emulator. <https://teratermproject.github.io/index-en.html>.
- [15] KiCad EDA; 2024. Open-source PCB design tool. <https://www.kicad.org/>.
- [16] Eriksson T. Lecture 6: A/D Conversion and LTspice, SSY011 Electronic Systems; 2024. Available on Canvas (access restricted). Lecture slides, Chalmers University of Technology.
- [17] Eriksson T. Lecture 5: State Machines and A/D Conversion, SSY011 Electronic Systems; 2024. Available on Canvas (access restricted). Lecture slides, Chalmers University of Technology.
- [18] Schreier R, Temes GC. Understanding Delta-Sigma Data Converters. IEEE Press; 2017. Available from: <https://ieeexplore.ieee.org/document/7906178>.
- [19] Eriksson T. Lecture 4: D/A Conversion and Sampling Theory, SSY011 Electronic Systems; 2024. Available on Canvas (access restricted). Lecture slides, Chalmers University of Technology.
- [20] Wu Y, Wu Z. A Generalized Center-Aligned High-Resolution Pulse Width Modulator Implementation Using an Output Serializer in Field Programmable Gate Arrays. *Actuators*. 2025 Apr;14(4):181.
- [21] Sub-Nyquist Artefacts and Sampling Moiré Effects; 2015. EPFL, Switzerland. [https://lspwww.epfl.ch/publications/moire/snaasme\\_15.pdf](https://lspwww.epfl.ch/publications/moire/snaasme_15.pdf).
- [22] Zhang J, Wang M, Liu L, Chen J. A Survey on Deep Learning-Based Image Captioning. *IEEE Access*. 2013;1:1-12. Available from: <https://ieeexplore.ieee.org/document/6524601>.
- [23] Alter DM. Using PWM Output as a Digital-to-Analog Converter on a TMS320F280x Digital Signal Controller. Texas Instruments; 2008. SPRAA88A. Available from: <https://www.ti.com/lit/an/spraa88a/spraa88a.pdf>.
- [24] Schreier R, Temes GC. Understanding Delta-Sigma Data Converters. IEEE Press Series on Microelectronic Systems. Piscataway, NJ: IEEE Press; 2017.
- [25] National Semiconductor Corporation. National Linear Databook, Volume 3. National Semiconductor; 1988. Accessed: 2025-05-22. Available from: [https://bitsavers.computerhistory.org/components/national/\\_dataBooks/1988\\_National\\_Linear\\_Databook\\_Vol\\_3.pdf](https://bitsavers.computerhistory.org/components/national/_dataBooks/1988_National_Linear_Databook_Vol_3.pdf).
- [26] Microchip Technology Inc . MCP4901: 8-Bit Voltage Output Digital-to-Analog Converter with SPI Interface; 2010. Accessed: 2025-05-22. <https://www.microchip.com/en-us/product/MCP4901>.

- [27] Analog Devices. AD7822: 8-Bit High Speed ADC. Analog Devices; 2002. Accessed: 2025-05-22. Available from: <https://www.analog.com/media/en/technical-documentation/data-sheets/AD7822.pdf>.

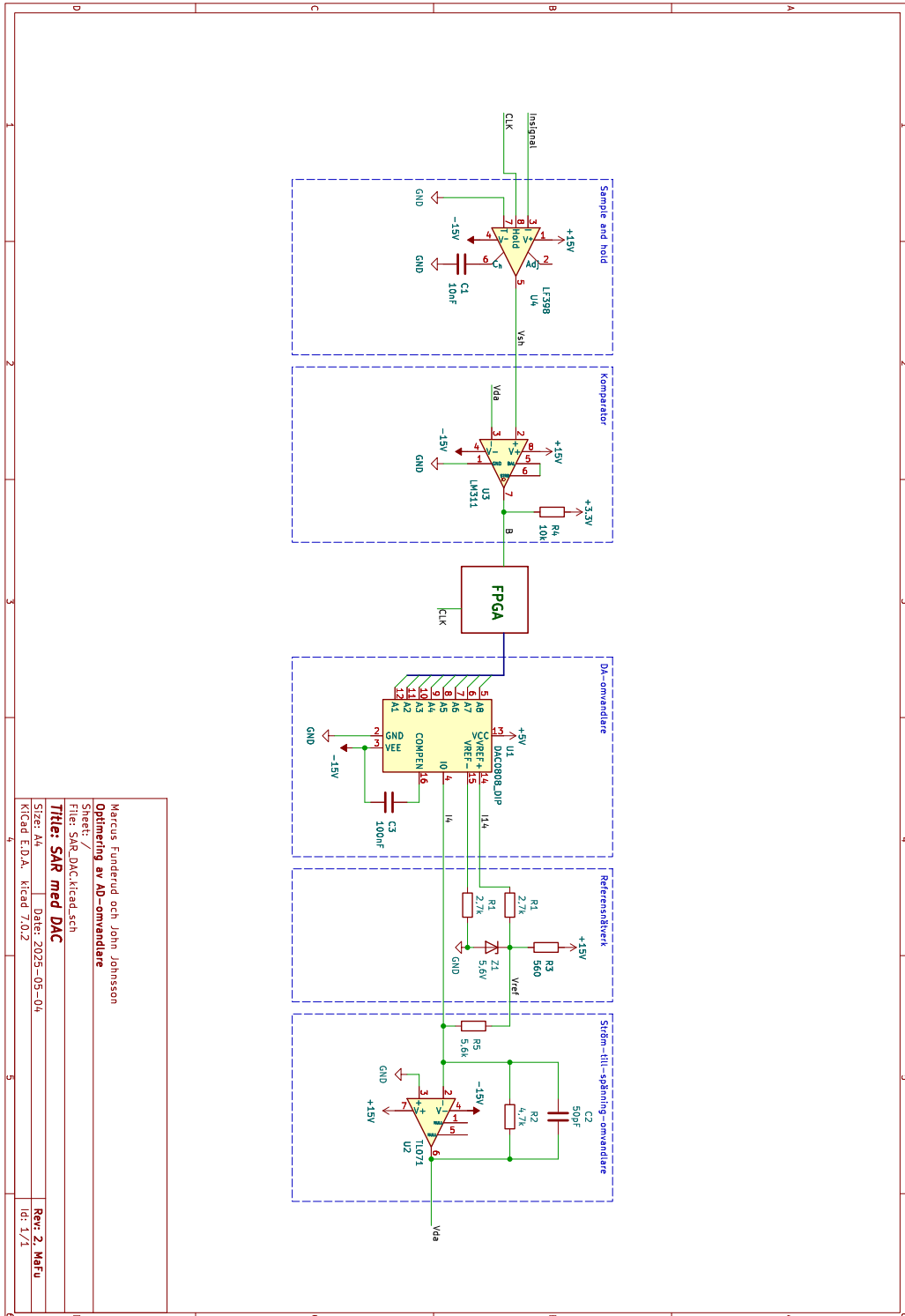


# A

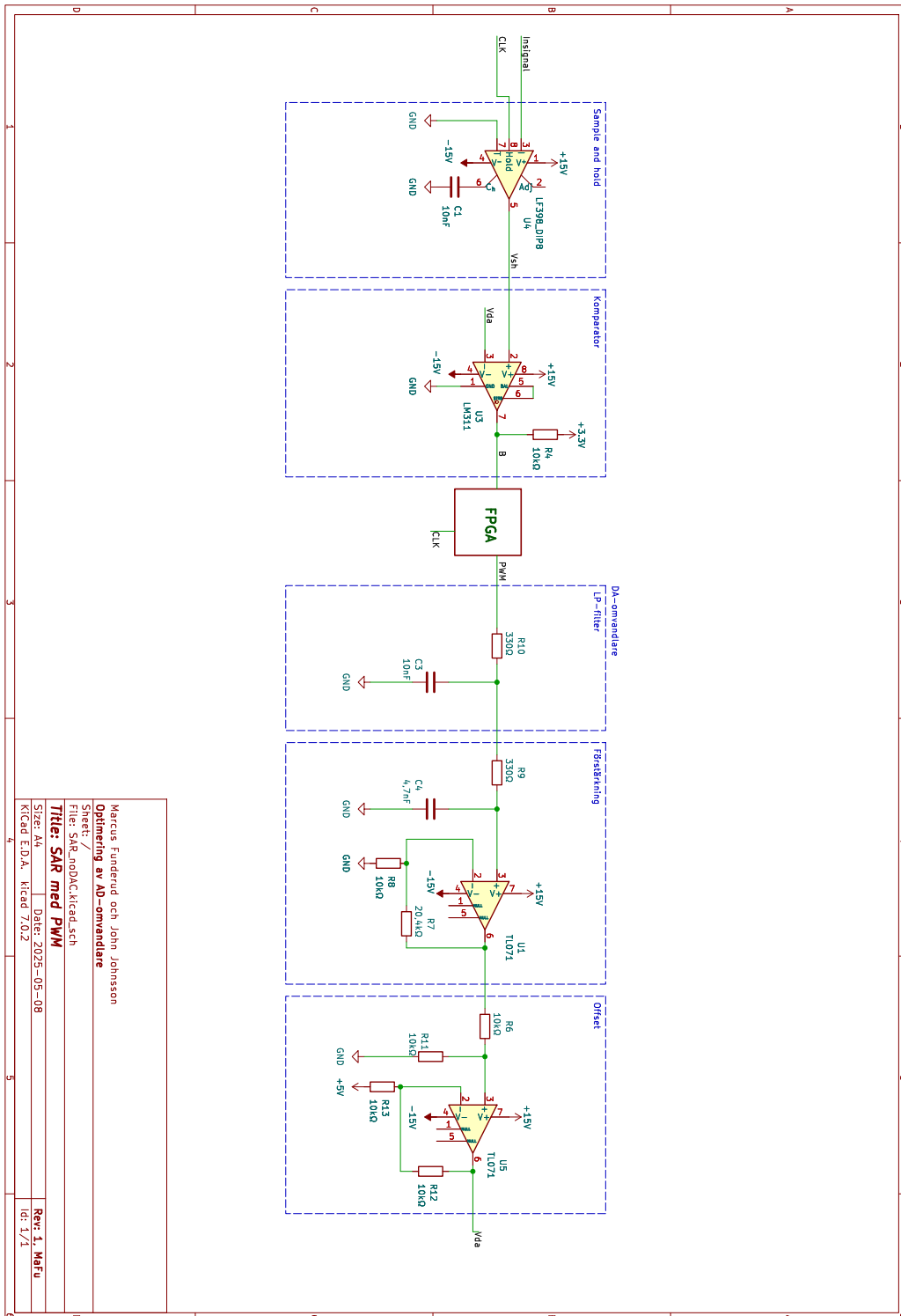
## Bilagor

Nedan följer kretsscheman för de kretsar som tagits fram under projektet, samt en redovisning av mätdata för de olika kretsarna.

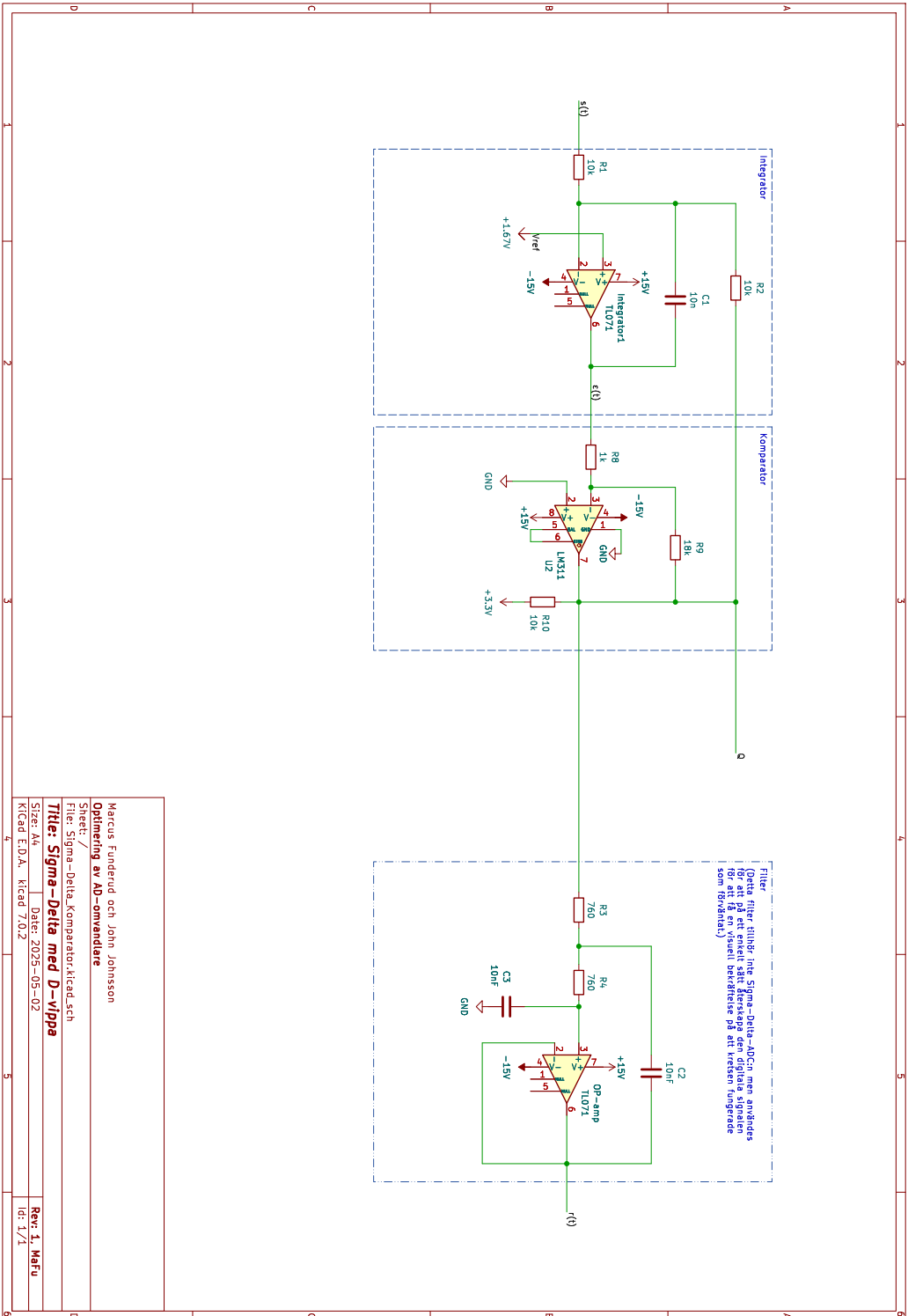
# Bilaga 1: Krettschema SAR-ADC med DAC



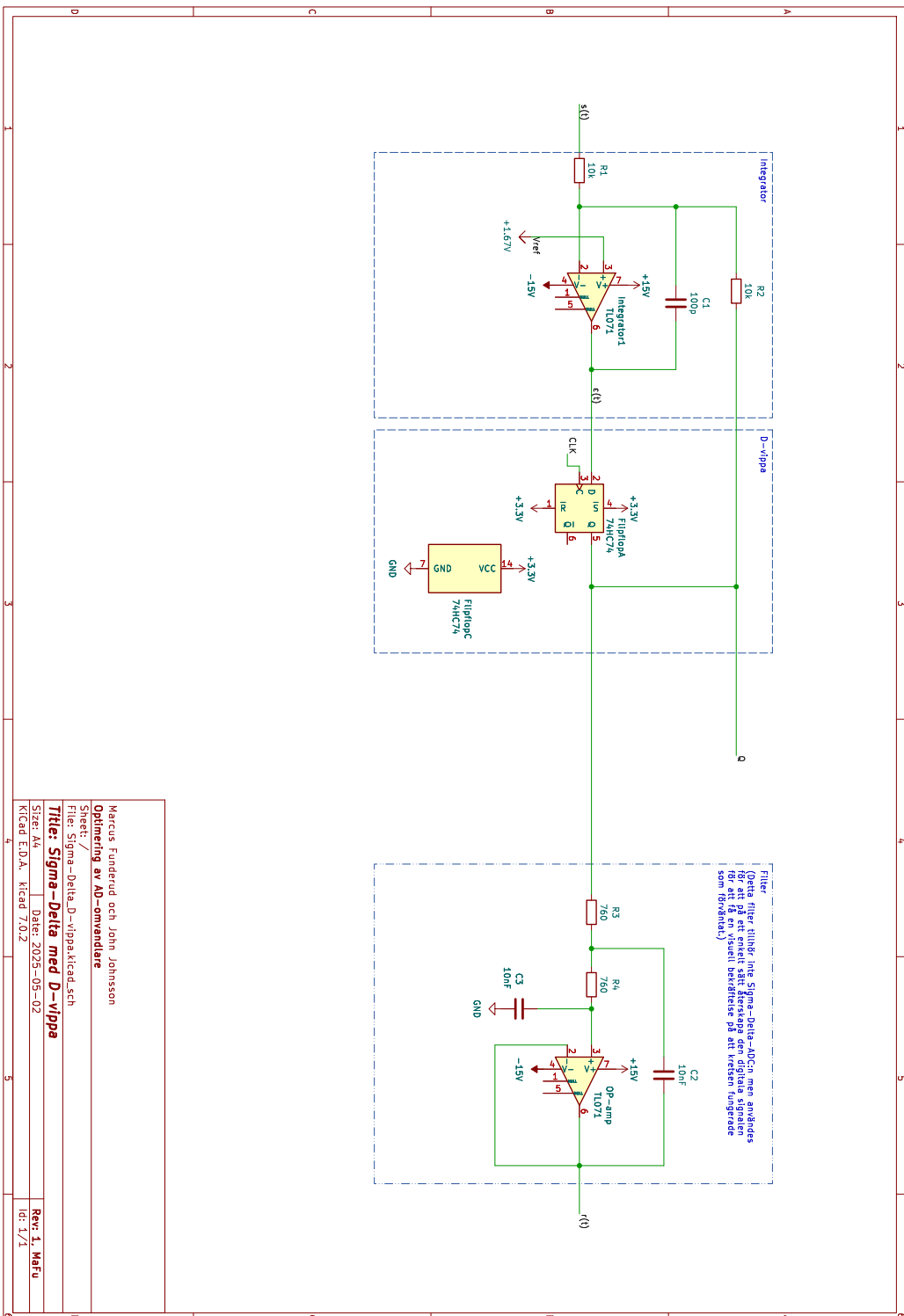
# Bilaga 2: Krettschema SAR-ADC med PWM



# Bilaga 3: Kretsschema Sigma-Delta-ADC med komparator



# Bilaga 4: Kretsschema Sigma-Delta-ADC med D-vippa



## Bilaga 5: Sammanställd mätdata för de testade kretsarna

		SAR_DAC									
Insignal (Hz)	Självljusstyrning	Noggrannhet		Strömförbrukning		Effektförbrukning					
		UA	Liten påverkan	Stor påverkan	Kraschar	MSE	NMSE	+15V (mA)	-15V (mA)	+5V (mA)	(mW)
100Hz	24 kHz	x				0,01594	0,0171	25,081	14,795	2,869	612,485
200Hz	24 kHz	x				0,007103	0,005218	25,081	14,796	2,869	612,5
500Hz	24 kHz	x				korrupt	korrupt	25,088	14,8	2,869	612,665
800Hz	24 kHz	x				0,008707	0,006396	25,093	14,806	2,869	612,83
1 kHz	24 kHz	x				0,007301	0,005364	25,099	14,811	2,869	612,995
2 kHz	24 kHz	x				0,001488	0,001081	25,134	14,837	2,869	613,91
5 kHz	24 kHz		x			0,002774	0,00196	25,24	14,918	2,869	616,715
8 kHz	24 kHz			x		0,01661	0,0122	25,258	14,958	2,869	617,585
10 kHz	24 kHz			x		0,6437	0,4728	25,268	14,971	2,87	617,935
12 kHz	24 kHz				x	2,704	1,514*10 <sup>-20</sup>	25,276	14,979	2,87	618,175
15 kHz	24 kHz							-	-	-	-
18 kHz	24 kHz							-	-	-	-
20 kHz	24 kHz							-	-	-	-
25 kHz	24 kHz							-	-	-	-
30 kHz	24 kHz							-	-	-	-
50 kHz	24 kHz							-	-	-	-
70 kHz	24 kHz							-	-	-	-
100 kHz	24 kHz							-	-	-	-
200 kHz	24 kHz							-	-	-	-
490 kHz	24 kHz							-	-	-	-
760 kHz	24 kHz							-	-	-	-

		SAR_DAC									
Signal (Hz)	Snabbhet Samplingsfrekvens	Noggrannhet				MSE		Strömförbrukning			Effektförbrukning (mW)
		UA	Liten påverkan	Stor påverkan	Kraschar	MSE	NMSE	+15V (mA)	-15V (mA)	+5V (mA)	
100Hz	48kHz	x						25,134	14,816	2,868	613,59
200Hz	48kHz	x					25,133	14,815	2,867	613,555	
500Hz	48kHz	x					25,132	14,813	2,868	613,515	
800Hz	48kHz	x					25,143	14,819	2,868	613,77	
1kHz	48kHz	x					25,147	14,823	2,868	613,89	
2kHz	48kHz	x					25,172	14,849	2,867	614,65	
5kHz	48kHz		x				25,262	14,932	2,868	617,25	
8kHz	48kHz		x				25,266	14,966	2,868	617,82	
10kHz	48kHz			x			25,299	14,984	2,868	618,585	
12kHz	48kHz			x			25,349	15,001	2,868	619,59	
15kHz	48kHz				x		25,352	15,006	2,868	619,71	
18kHz	48kHz				x		25,373	15,015	2,868	620,16	
20kHz	48kHz				x		25,343	15,01	2,868	619,635	
24kHz	48kHz				x		25,337	15,01	2,868	619,545	
25kHz	48kHz					x	25,332	15,006	2,868	619,41	
30kHz	48kHz									0	
50kHz	48kHz									0	
70kHz	48kHz									0	
100kHz	48kHz									0	
200kHz	48kHz									0	
490kHz	48kHz									0	
760kHz	48kHz									0	

		SAR_DAC									
Insignal (Hz)	Snabbhet Samplingsfrekvens	UA	Noggrannhet		Kraschar	M/SE	NM/SE	Strömförbrukning			Effektförbrukning (mW)
			Liten påverkan	Stor påverkan				+15V (mA)	-15V (mA)	+5V (mA)	
100 Hz	100 kHz				x			25,101	14,821	2,871	613,185
200 Hz	100 kHz				x			25,091	14,821	2,87	613,03
500 Hz	100 kHz				x			25,095	14,818	2,87	613,045
800 Hz	100 kHz				x			25,091	14,818	2,871	612,99
1 kHz	100 kHz				x			25,094	14,821	2,871	613,08
2 kHz	100 kHz				x			25,129	14,85	2,871	614,04
5 kHz	100 kHz				x			25,218	14,927	2,871	616,53
8 kHz	100 kHz				x			25,231	14,96	2,871	617,22
10 kHz	100 kHz				x			25,251	14,977	2,87	617,77
12 kHz	100 kHz				x			25,281	14,99	2,871	618,42
15 kHz	100 kHz				x			25,313	15,003	2,871	619,095
18 kHz	100 kHz				x			25,302	15,001	2,87	618,895
20 kHz	100 kHz				x			25,316	15,001	2,87	619,105
25 kHz	100 kHz				x			25,335	15,01	2,87	619,525
30 kHz	100 kHz				x			25,337	15,012	2,87	619,585
50 kHz	100 kHz				x			25,29	14,999	2,87	618,685
70 kHz	100 kHz				x			25,15	14,87	2,87	614,65
100 kHz	100 kHz				x			25,307	15,01	2,87	619,105
200 kHz	100 kHz				x			25,203	14,982	2,87	617,125
490 kHz	100 kHz				x			25,136	14,979	2,87	616,075
500 kHz	100 kHz				x			25,06	14,96	2,87	614,65
760 kHz	100 kHz				x			24,994	14,941	2,87	613,375

Sjabbhet		Noggrannhet					Strömförbrukning			Effektförbrukning	
Insignal (Hz)	Samplingsfrekvens	U/A	Liten påverkan	Stor påverkan	Kraschar	MSE	NMSE	+15V (mA)	-15V (mA)	+1,67V (mA)	(mW)
100Hz	1 MHz	X				0,01724	0,01275	9,724	3,338	0	195,93
200Hz	1 MHz	X				0,05656	0,03935	9,736	3,314	0	195,75
500Hz	1 MHz	X				0,05347	0,03935	9,736	3,31	0	195,69
800Hz	1 MHz	X				0,05197	0,0399	9,724	3,309	0	195,495
1 kHz	1 MHz	X				0,01379	0,009633	9,736	3,31	0	195,69
2 kHz	1 MHz	X				0,01447	0,01077	9,737	3,309	0	195,69
5 kHz	1 MHz	X				0,0341	0,02505	9,737	3,31	0	195,705
8 kHz	1 MHz	X				0,02952	0,02165	9,736	3,309	0	195,675
10 kHz	1 MHz	X				0,04926	0,02618	9,74	3,308	0	195,72
12 kHz	1 MHz	X				0,02112	0,01556	9,74	3,309	0	195,735
15 kHz	1 MHz	X				0,0905	0,06641	9,744	3,31	0	195,81
18 kHz	1 MHz	X				korrupt	korrupt	9,748	3,311	0	195,885
20 kHz	1 MHz	X				0,0677	0,04985	9,732	3,31	0	195,63
25 kHz	1 MHz	X				0,1231	0,09112	9,737	3,312	0	195,735
30 kHz	1 MHz	X				0,02564	0,0188	9,742	3,311	0	195,795
50 kHz	1 MHz	X				0,066	0,04861	9,74	3,311	0	195,765
70 kHz	1 MHz	X				0,03238	0,02386	9,715	3,308	0	195,345
100 kHz	1 MHz		X			0,1624	0,1927	9,712	3,303	0	195,225
200 kHz	1 MHz				X	2,09	1,539	9,715	3,305	0	195,3
490 kHz	1 MHz				X	2,935	2,154	9,714	3,304	0	195,27
760 kHz	1 MHz				X	3,182	2,335	9,713	3,303	0	195,24

Sigma-Delta\_Komparator

Sjabbhet				Noggrannhet					Strömförbrukning			Effektförbrukning
Insignal (Hz)	Samplingsfrekvens	U/A	Liten påverkan	Stor påverkan	Kraschar	MSE	NMSE	+15V (mA)	-15V (mA)	+1,67V (mA)	Effektförbrukning (mW)	
100Hz	1 MHz			X		1,597	1,209	2,25	2,457		70,605	
200Hz	1 MHz					1,396	1,034	2,25	2,46		70,65	
500Hz	1 MHz	X				0,1382	0,0975	2,251	2,457		70,62	
800Hz	1 MHz	X				0,006656	0,004516	2,25	2,456		70,59	
1 kHz	1 MHz	X				0,03961	0,0287	2,254	2,455		70,635	
2 kHz	1 MHz	X				0,0125	0,009279	2,254	2,454		70,62	
5 kHz	1 MHz	X				0,04564	0,03353	2,258	2,45		70,62	
8 kHz	1 MHz	X				0,02473	0,01815	2,26	2,449		70,635	
10 kHz	1 MHz	X				0,01631	0,01198	2,246	2,452		70,47	
12 kHz	1 MHz	X				0,02208	0,01627	2,268	2,452		70,8	
15 kHz	1 MHz	X				0,03011	0,02208	2,26	2,46		70,8	
18 kHz	1 MHz	X				0,0209	0,01533	2,261	2,451		70,68	
20 kHz	1 MHz	X				0,02006	0,01474	2,26	2,453		70,695	
25 kHz	1 MHz	X				0,04354	0,03164	2,264	2,449		70,695	
30 kHz	1 MHz	X				0,04041	0,02963	2,258	2,464		70,83	
50 kHz	1 MHz	X				0,06099	0,04486	2,253	2,432		70,275	
70 kHz	1 MHz	X				0,1219	0,08922	2,238	2,413		69,765	
100 kHz	1 MHz	X				0,1229	0,0903	2,234	2,453		70,305	
200 kHz	1 MHz				X	0,4981	0,365	2,28	2,46		71,1	
490 kHz	1 MHz				X	2,184	1,606	2,231	2,237		67,02	
760 kHz	1 MHz				X	3,044	2,234	2,234	2,233		67,005	

**INSTITUTIONEN FÖR ELEKTROTEKNIK**  
**CHALMERS TEKNISKA HÖGSKOLA**  
Göteborg, Sverige  
[www.chalmers.se](http://www.chalmers.se)



**CHALMERS**